

# Esercizio IV-DLX

Calcolatori Elettronici L-A

## Esercizio

Nel caso del DLX pipelined e nell'ipotesi che non siano necessari stati di wait durante gli accessi alla memoria si evidenzia, mediante il diagramma a 5 stati, quanti stalli risultano dall'esecuzione delle seguenti istruzioni:

```
SUB    R1, R2, R3
LW     R2, 40(R1)
XOR    R3, R2, R1
```

Si consideri il caso di DLX

- 1) non provvisto di forwarding unit e non provvisto di cycle split(\*)
- 2) non provvisto di forwarding unit e provvisto di cycle split(\*)
- 3) provvisto di forwarding unit e non provvisto di cycle split(\*)
- 4) provvisto di forwarding unit e provvisto di cycle split(\*)

(\*) Ovvero, la scrittura nel register file avviene durante il primo semiperiodo di clock e la lettura dei registri avviene durante il secondo semiperiodo di clock.

## Punto a)

Stalli risultanti dall'esecuzione della seguente sequenza di istruzioni (senza *forwarding unit* e senza *cycle-split*).

**SUB** R1, R2, R3

**LW** R2, 40(R1)

**XOR** R3, R2, R1

SUB R1, R2, R3	<b>IF</b>	<b>ID</b>	<b>EX</b>	<b>MEM</b>	<b>WB</b>									
LW R2, 40(R1)		<b>IF</b>	-	-	-	<b>ID</b>	<b>EX</b>	<b>MEM</b>	<b>WB</b>					
XOR R3, R2, R1			-	-	-	<b>IF</b>	-	-	-	<b>ID</b>	<b>EX</b>	<b>MEM</b>	<b>WB</b>	

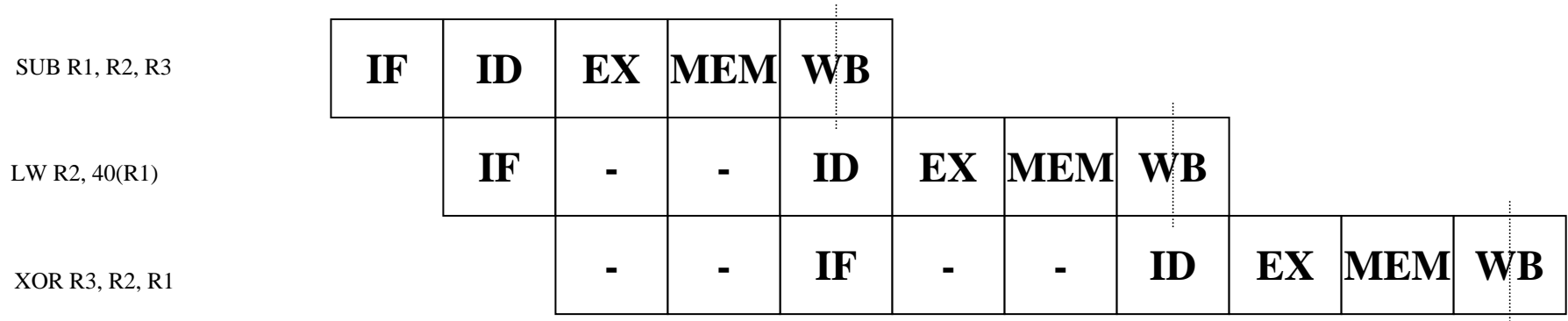
## Punto b)

Stalli risultanti dall'esecuzione della seguente sequenza di istruzioni (senza *forwarding unit* e con *cycle-split*).

**SUB** R1, R2, R3

**LW** R2, 40(R1)

**XOR** R3, R2, R1



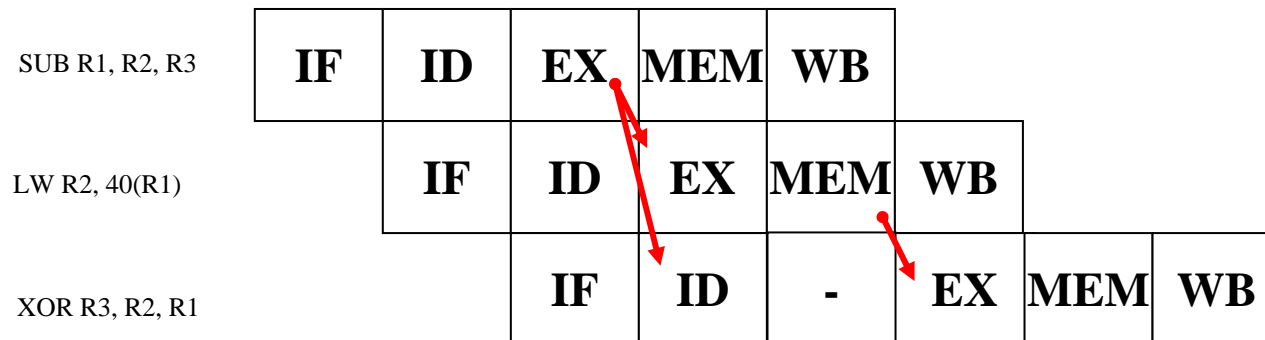
## Punto c)

Stalli risultanti dall'esecuzione della seguente sequenza di istruzioni (con *forwarding unit* e senza *cycle-split*).

**SUB** R1, R2, R3

**LW** R2, 40(R1)

**XOR** R3, R2, R1



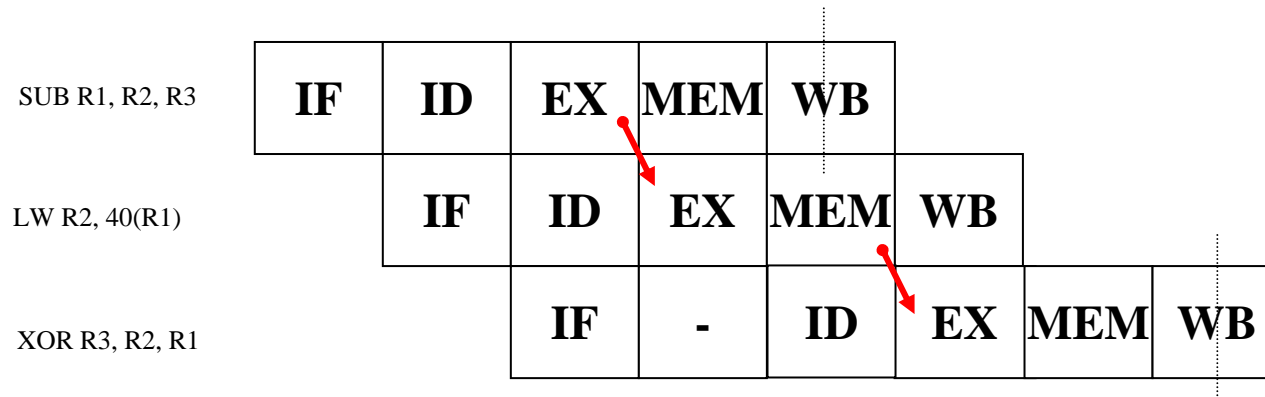
## Punto d)

Stalli risultanti dall'esecuzione della seguente sequenza di istruzioni (con *forwarding unit* e con *cycle-split*).

**SUB** R1, R2, R3

**LW** R2, 40(R1)

**XOR** R3, R2, R1



In alternativa è equivalente la soluzione del Punto C.