

Esercizio IV-8088

Calcolatori Elettronici LA

(2 Aprile 2005)

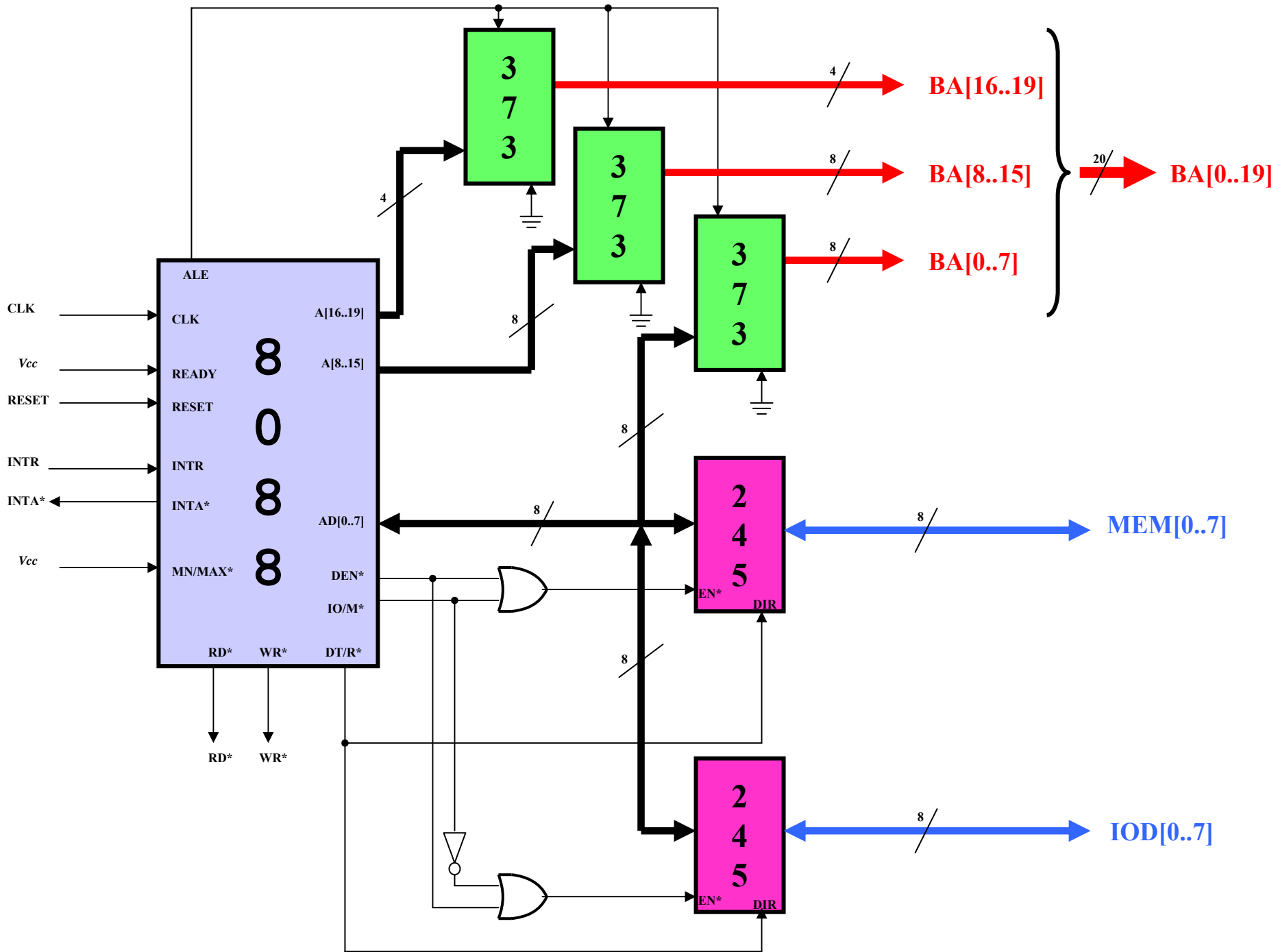
Un microprocessore **8088** a 5 MHz dispone di **64 KB di RAM** e **96 KB di EPROM**. Nel sistema sono inoltre presenti: un **8255** (**porta A in output modo 0** e **porta B in output modo 1**), e un **8259** per controllare l'interruzione proveniente dalla porta B dell'8255.

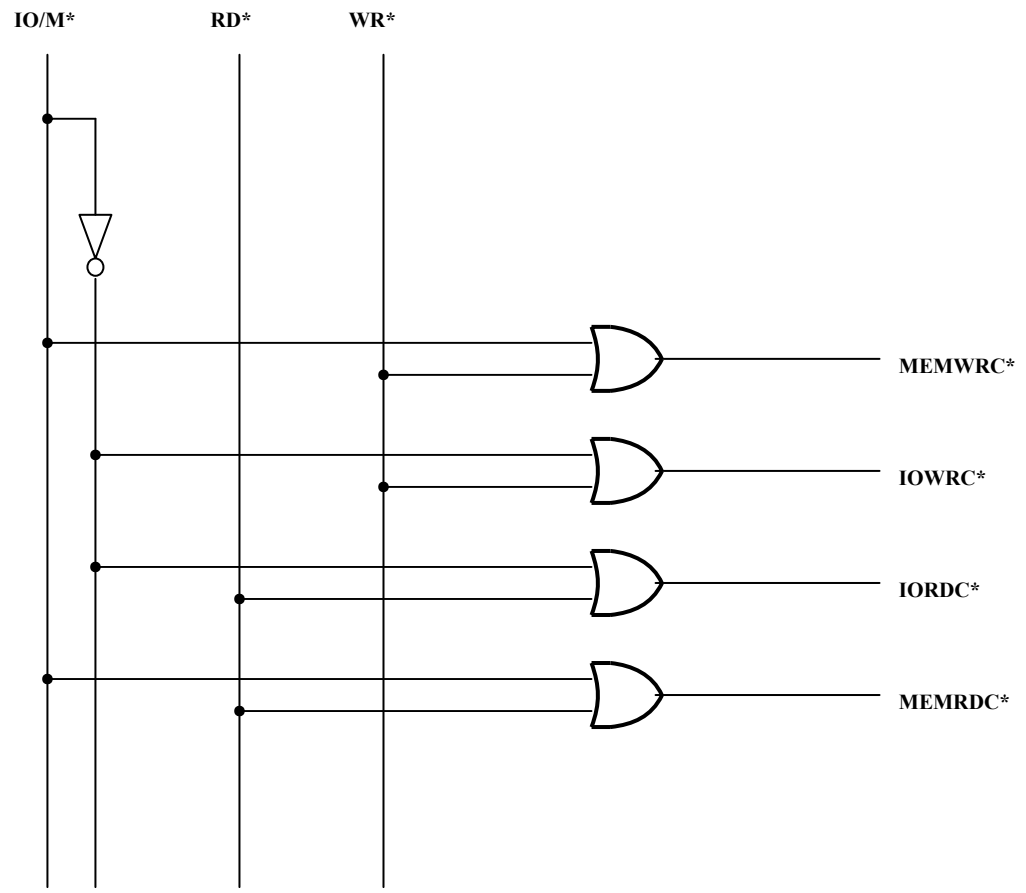
Progettare il sistema in modo che all'atto dell'inserzione di qualsiasi parola di programmazione nell'8259 *nello stesso ciclo di bus* lo stesso dato sia scritto sulla porta A dell'8255.

Indicare inoltre quale soluzione si potrebbe utilizzare per la gestione dell'interrupt type *senza l'utilizzazione di alcun dispositivo esterno (8259)*.

- **8088** a 5 MHz
- **64 KB di RAM**
(00000h-0FFFFh)
2 chip di RAM da 32 KB
- **96 KB di EPROM**
(E8000h-FFFFFFh)
1 chip di EPROM da 32 KB
1 chip di EPROM da 64 KB
- **8255**
Porta A in modo 0 (OUTPUT)
Porta B in modo 1 (INPUT)
- **8259 (*)**

(*) *Non presente dalle specifiche indicate nella parte finale del testo*





Segnali di decodifica

RAM: 2 chip di RAM da 32KB

RAM_1 (00000h – 07FFFh)

00000h 0000 0000 0000 0000 0000

07FFFh 0000 0111 1111 1111 1111

CS_RAM1 = **BA19*** · **BA15***

RAM_2 (08000h – 0FFFFh)

80000h 0000 1000 0000 0000 0000

0FFFFh 0000 1111 1111 1111 1111

CS_RAM2 = **BA19*** · **BA15**

EPROM_1: 1 chip di EPROM da 32KB

EPROM_1 (E8000h – EFFFFh)

E8000h 1110 0000 0000 0000 0000

EFFFFh 1110 1111 1111 1111 1111

CS_EPROM1 = **BA19** · **BA16***

EPROM_2: 1 chip di EPROM da 64KB

EPROM_2 (F0000h – FFFFFh)

F0000h 1111 0000 0000 0000 0000

FFFFFh 1111 1111 1111 1111 1111

CS_EPROM1 = **BA19** · **BA16**

8255:

Si supponga di mappare l'8255
all'indirizzo **04h** = **00000100**₂

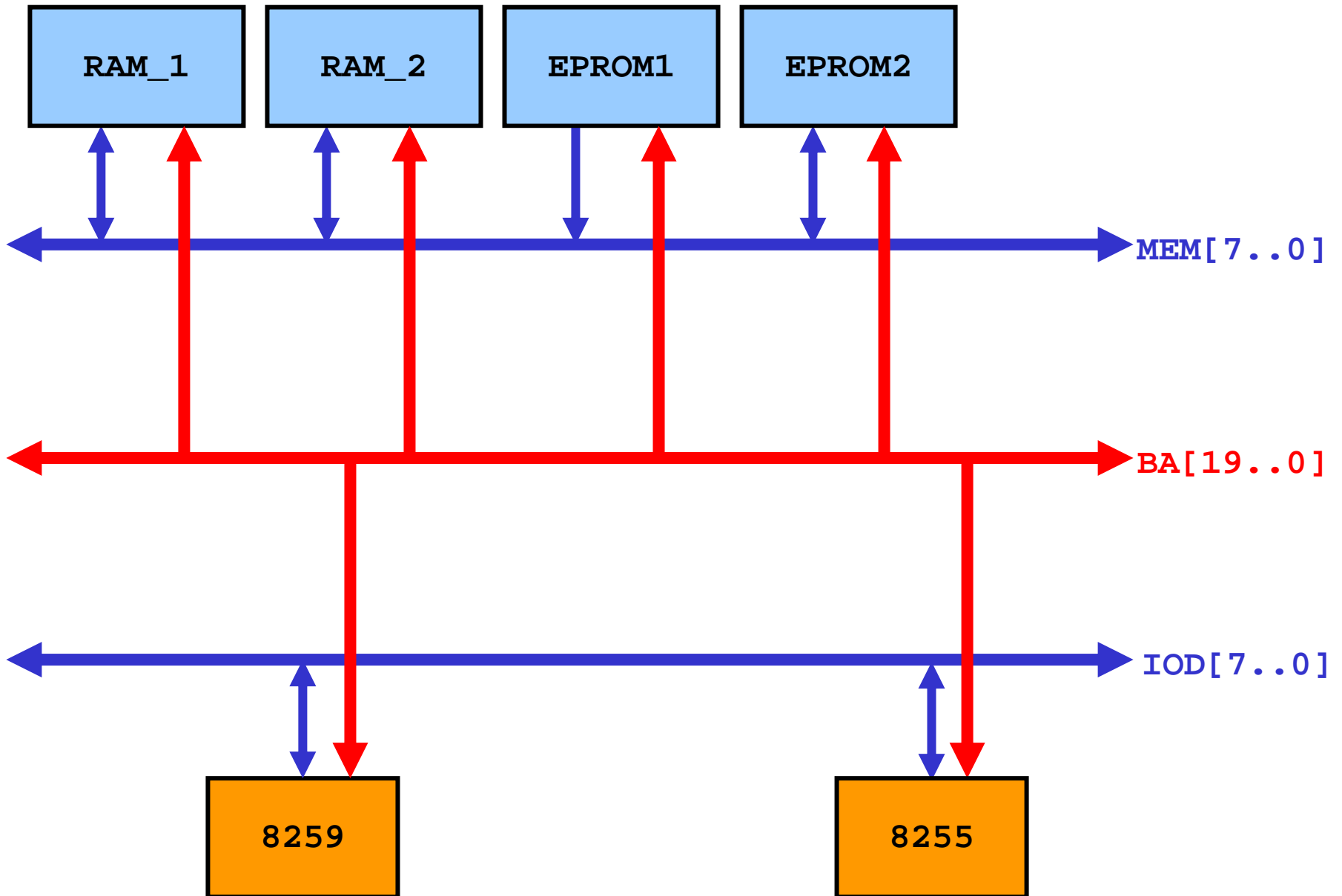
CS_8255 = **BA3*** + **CS_8259** · **IOWRC**

8259:

Si supponga di mappare l'8259
all'indirizzo **08h** = **00001000**₂

CS_8259 = **BA3**

Interfacciamento memorie e dispositivi di I/O



Ad ogni accesso in scrittura all'8259, codificato dal segnale **CS_8259**, deve essere inviato il dato scritto nell'8259 anche alla porta A dell'8255 programmato in OUTPUT modo 0. Per realizzare tale funzione è sufficiente abilitare il dispositivo 8255 mediante il segnale:

$$\text{CS}_{8255} = \text{BA3}^* + \text{CS}_{8259} \cdot \text{IOWRC}$$

NOTA: sarebbe possibile utilizzare **DT/R*** al posto di **IOWRC** al fine di accelerare la generazione del segnale **CS_8255**

Il CS dell'8255 si abiliterà

- 1) se viene indirizzato l'8255
- 2) per ogni accesso in scrittura all'8259

E' necessario generare anche i segnali di controllo dell'8255 in modo che quando viene scritto un byte nell'8259 questo sia inviato anche alla **porta A** (**BA1BA0 = 00**) dell'8255. Tali segnali risultano:

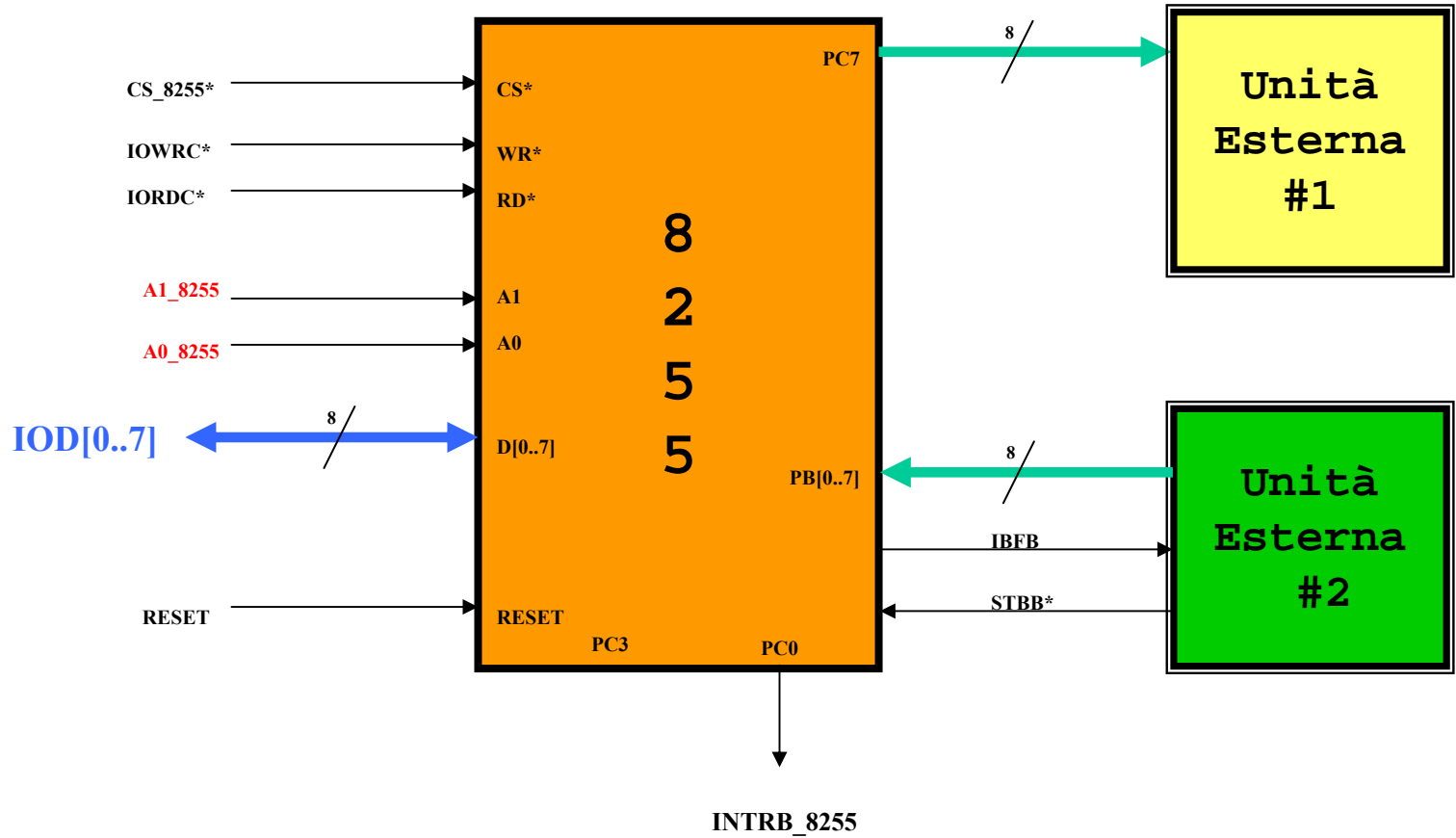
$$\text{A1}_{8255} = \text{BA1} \cdot \text{CS}_{8259}^* + 0 \cdot \text{CS}_{8259} = \text{BA1} \cdot \text{CS}_{8259}^*$$

$$\text{A0}_{8255} = \text{BA0} \cdot \text{CS}_{8259}^* + 0 \cdot \text{CS}_{8259} = \text{BA0} \cdot \text{CS}_{8259}^*$$

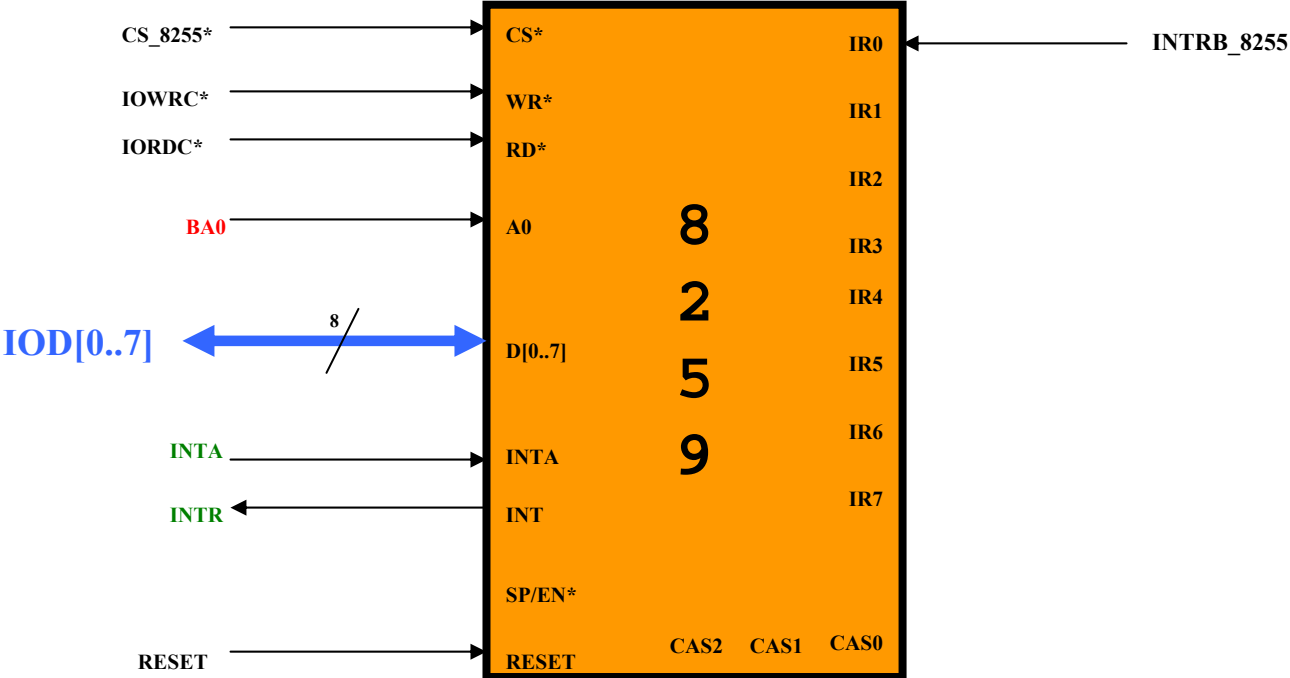
L'8259 è programmato per rilevare sul pin IR0 le richieste di interrupt generate dalla porta B dell'8255 programmato in modo 1.

8255

Il segnale di interrupt generato dalla porte B dell'8255 è inviato all'ingresso IR0 dell'8259.



8259



Gestione dell'unica sorgente di interrupt senza 8259

Essendoci un solo interrupt per potere gestire le interruzioni senza dispositivi esterni è sufficiente non mettere alcun dispositivo 8259 e settare tutti gli *interrupt vector* verso la subroutine di risposta all'unica interruzione. Il bus non risulta pilotato durante gli INTA* ma qualunque valore venga letto porta comunque alla subroutine di interruzione.