

Esercizio II-8088

Calcolatori Elettronici LA

(5 Settembre 2003)

Un microprocessore **8088** a 5 MHz dispone di **64 KB di RAM** agli indirizzi bassi e di **256 KB EPROM** agli indirizzi alti.

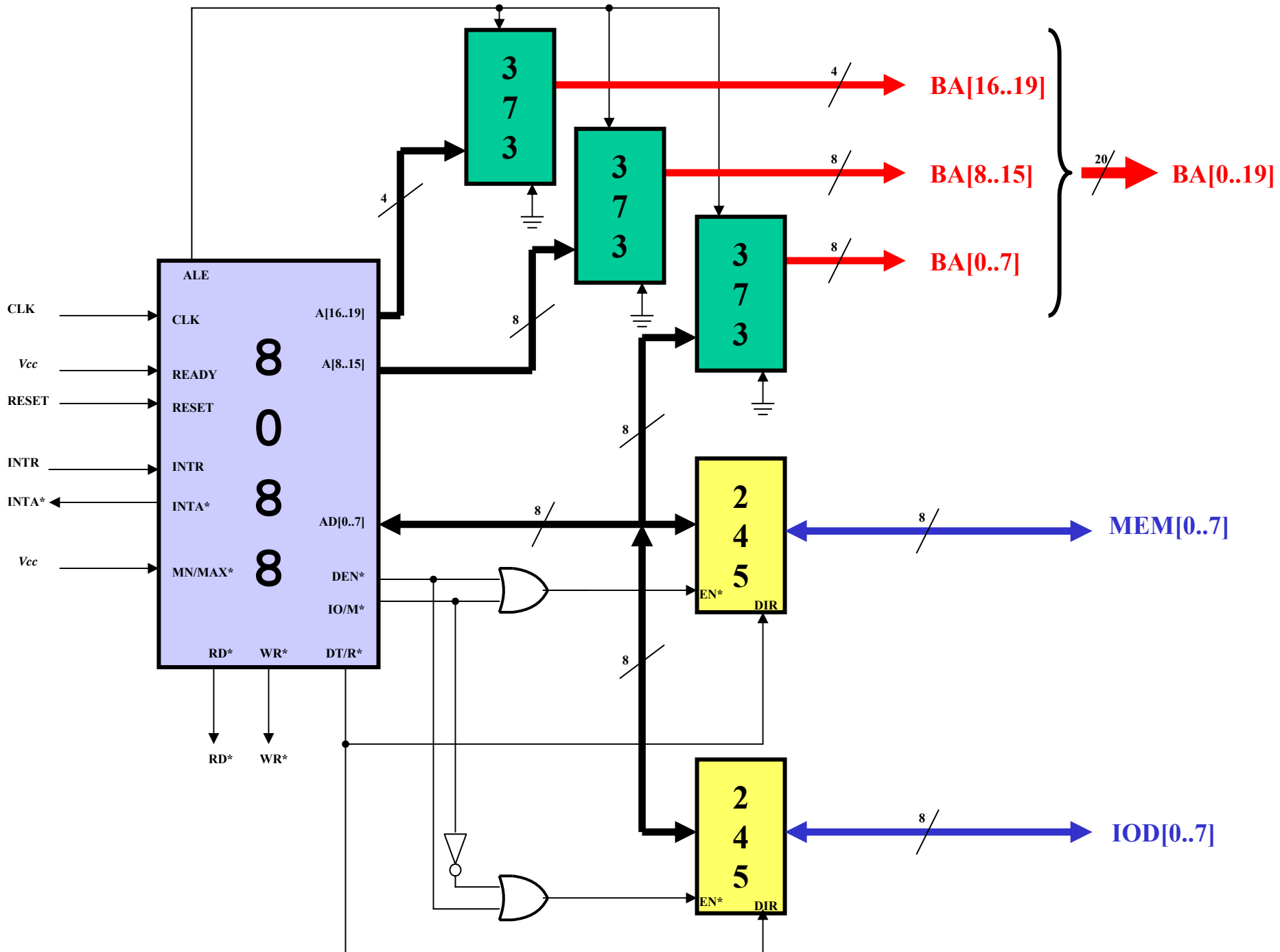
Come unica periferica dispone di un **8255** la cui **porta A** è programmata in **INPUT modo 1** e la **porta B** in **OUTPUT modo 1**. Nel sistema sono inoltre presenti due memorie da 32 KB (una **EPROM** e una **RAM**) entrambe all'indirizzo 512 KB, attive **alternativamente** (al **RESET** è attiva la **RAM**).

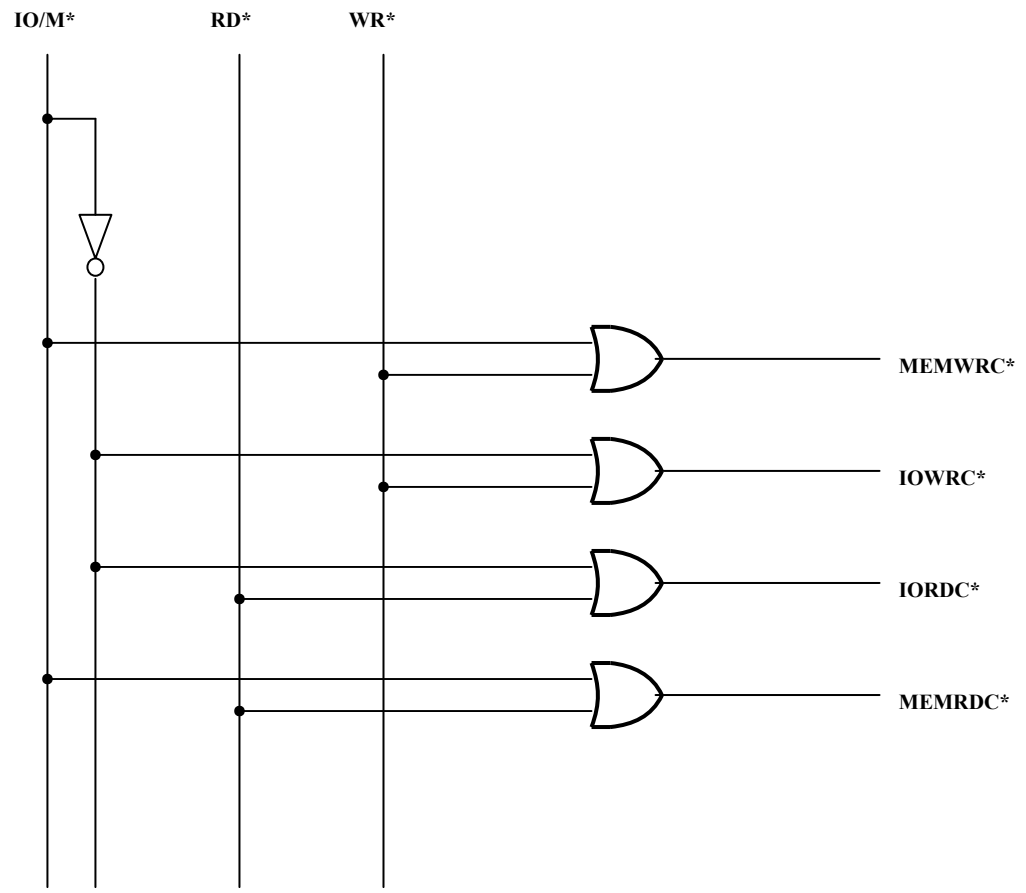
All'atto della ricezione del dato **27h** sulla **porta A** dell'**8255** viene automaticamente attivata la **EPROM**; alla ricezione del dato **72h** sulla stessa porta viene automaticamente riattivata la **RAM**.

Il sistema deve inoltre segnalare eventuali accessi in scrittura agli indirizzi nell'intervallo **512K -> 512K + 32K** allorché è attiva la **EPROM** inviando il dato **35h** sulla **porta B** dell'**8255**. Per quest'ultima operazione il candidato scelga la modalità che ritiene più opportuna.

- **8088** a 5 MHz
- **64 KB di RAM** (00000h-0FFFFh)
2 chip di RAM da 32 KB
- **256 KB di EPROM** (C0000h-FFFFFFh)
1 chip di EPROM da 256 KB
- **Una RAM e una EPROM da 32k (*)** (80000h-87FFFh)
1 chip di RAM da 32 KB
1 chip di EPROM da 32 KB
- **8255**
Porta A in modo 1 (INPUT)
Porta B in modo 1 (OUTPUT)
- **8259**

(*) Attive alternativamente





Segnali di decodifica memorie

RAM: 2 chip di RAM da 32 KB

RAM1 (00000h – 07FFFh)

00000h **0000** 0000 0000 0000 0000
07FFFh **0000** 0111 1111 1111 1111

CS_RAM1 = BA19* · BA15*

RAM2 (08000h – 0FFFFh)

80000h **0000** 1000 0000 0000 0000
0FFFFh **0000** 1111 1111 1111 1111

CS_RAM2 = BA19* · BA15

EPROM: 1 chip di EPROM da 256KB

EPROM1 (C0000h – FFFFFh)

C0000h **1100** 0000 0000 0000 0000
FFFFFh **1111** 1111 1111 1111 1111

CS_EPROM1 = BA19·BA18

RAM/EPROM: 1 chip da 32 KB

RAM_512 (80000h – 87FFFh)

80000h **1000** 0000 0000 0000 0000
87FFFh **1000** 0111 1111 1111 1111

CS_RAM_512 = ENABLE_RAM · BA19 · BA18*

EPROM_512 (80000h – 87FFFh)

80000h **1000** 0000 0000 0000 0000
87FFFh **1000** 0111 1111 1111 1111

CS_EPROM_512 = ENABLE_RAM*·BA19·BA18*

Il segnale **ENABLE_RAM** coincide con l'uscita Q di un FFD che memorizza lo stato della ricezione dei caratteri sulla porta A dell'8255 (mostrato nelle pagine successive).

Segnali di decodifica periferiche

8259: Si supponga di mappare l'8259 all'indirizzo **0080h**.

0080h 0000 0000 **1**000 0000

CS_8259 = BA7

FFD_FAULT: Si supponga di mappare il FFD all'indirizzo **0020h**.

0020h 0000 0000 **00**10 0000

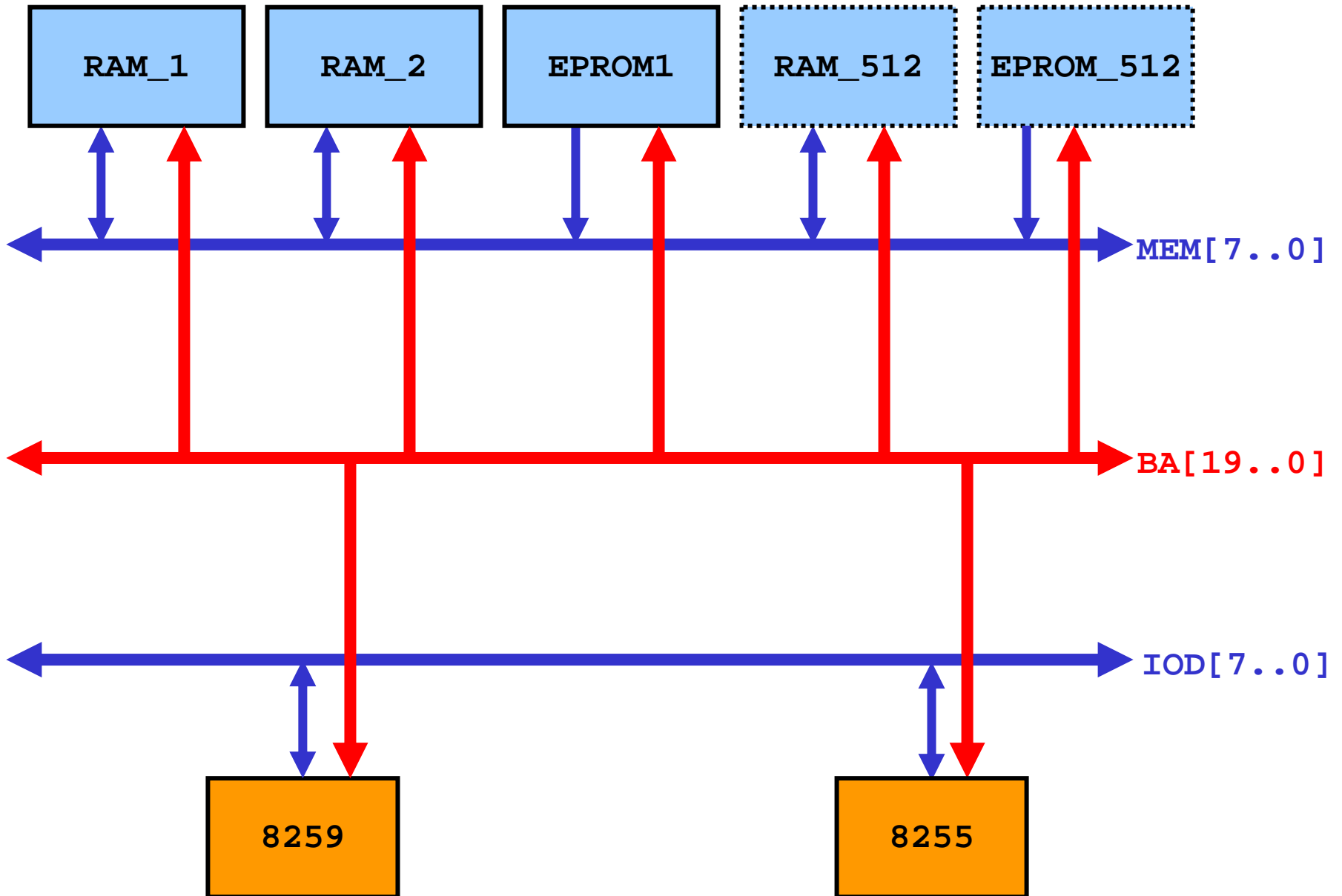
CS_FFD_FAULT = BA7* · BA6* · IOWR

8255: Si supponga di mappare l'8255 all'indirizzo **0040h**.

0040h 0000 0000 **01**00 0000

CS_8255 = BA7* · BA6

Interfacciamento memorie e dispositivi di I/O



Al **RESET** l'uscita **Q=ENABLE_RAM** del **FFD** che memorizza lo stato della ricezione sulla porta A dovrà essere inizializzata a 1 mediante il segnale asincrono di **PRESET** abilitando gli accessi alla **RAM_512**.

Nel caso sia ricevuto sulla porta A dell'8255 (programmata in **INPUT** modo 1) il dato **27h** il flip-flop deve commutare e abilitare la **EPROM_512** (**ENABLE_RAM*=1**).

Successivamente, se l'8255 riceve sulla porta A il dato **72h**, la **RAM_512** deve essere nuovamente abilitata (**ENABLE_RAM=1**)

Una successiva ricezione sulla porta A dell'8255 del carattere **27h** riabiliterà la **EPROM_512** (**ENABLE_RAM*=1**) e così' via...

Utilizzando come ingresso di clock del flip-flop D il segnale **IORDC***, il FFD commuta il proprio stato in funzione del segnale **CAMBIA_STATO**.

Il segnale che abilita la commutazione del FFD **sul fronte di salita di IORDC*** è il seguente:

$$\text{CAMBIA_STATO} = \text{ATTIVA_RAM} + \text{ATTIVA_EPROM}$$

E' possibile utilizzare due decoder che identificano la presenza dei due caratteri speciali '**27**' e '**72**' sul bus dati.

1) L'abilitazione del dispositivo **RAM_512** dovrà avvenire se:

- Flip-Flop nello stato '**ENABLE_RAM***' (**Q*=1**)
- Presenza del dato **72h** sul bus dati
- Attiva una richiesta di interrupt proveniente dalla porta A dell'8255 (**INTRA_8255=1**)
- Attivo il segnale di selezione del dispositivo 8255 (**CS_8255**) e attivi i segnali di selezione della porta A (**A1A0 = 00**)

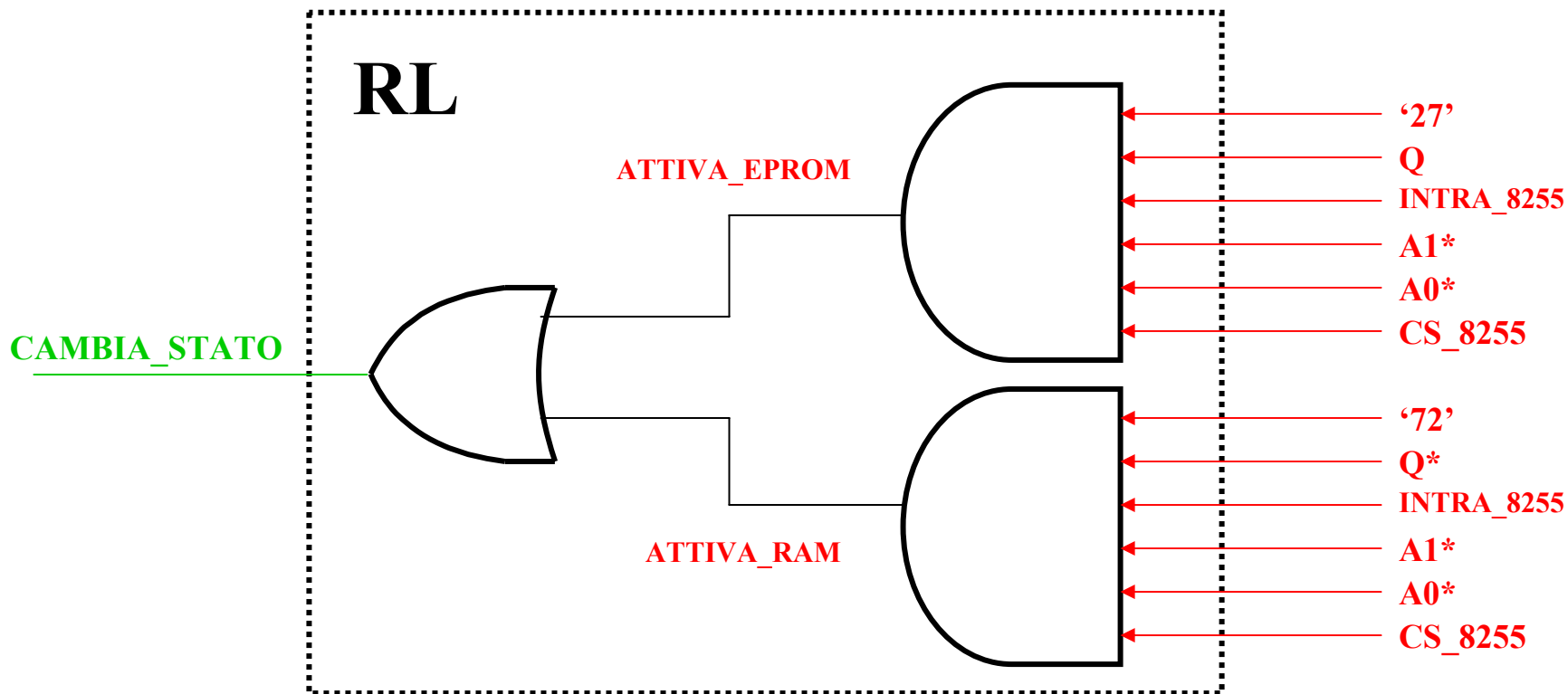
ATTIVA_RAM = ENABLE_RAM*•DEC('72')•INTRA_8255•CS_8255•A1*•A0*

2) L'abilitazione del dispositivo **EPROM_512** dovrà avvenire se:

- Flip-Flop nello stato '**ENABLE_RAM**' (**Q=1**)
- Presenza del dato **27h** sul bus dati
- Attiva una richiesta di interrupt proveniente dalla porta A dell'8255 (**INTRA_8255=1**)
- Attivo il segnale di selezione del dispositivo 8255 (**CS_8255**) e attivi i segnali di selezione della porta A (**A1A0 = 00**)

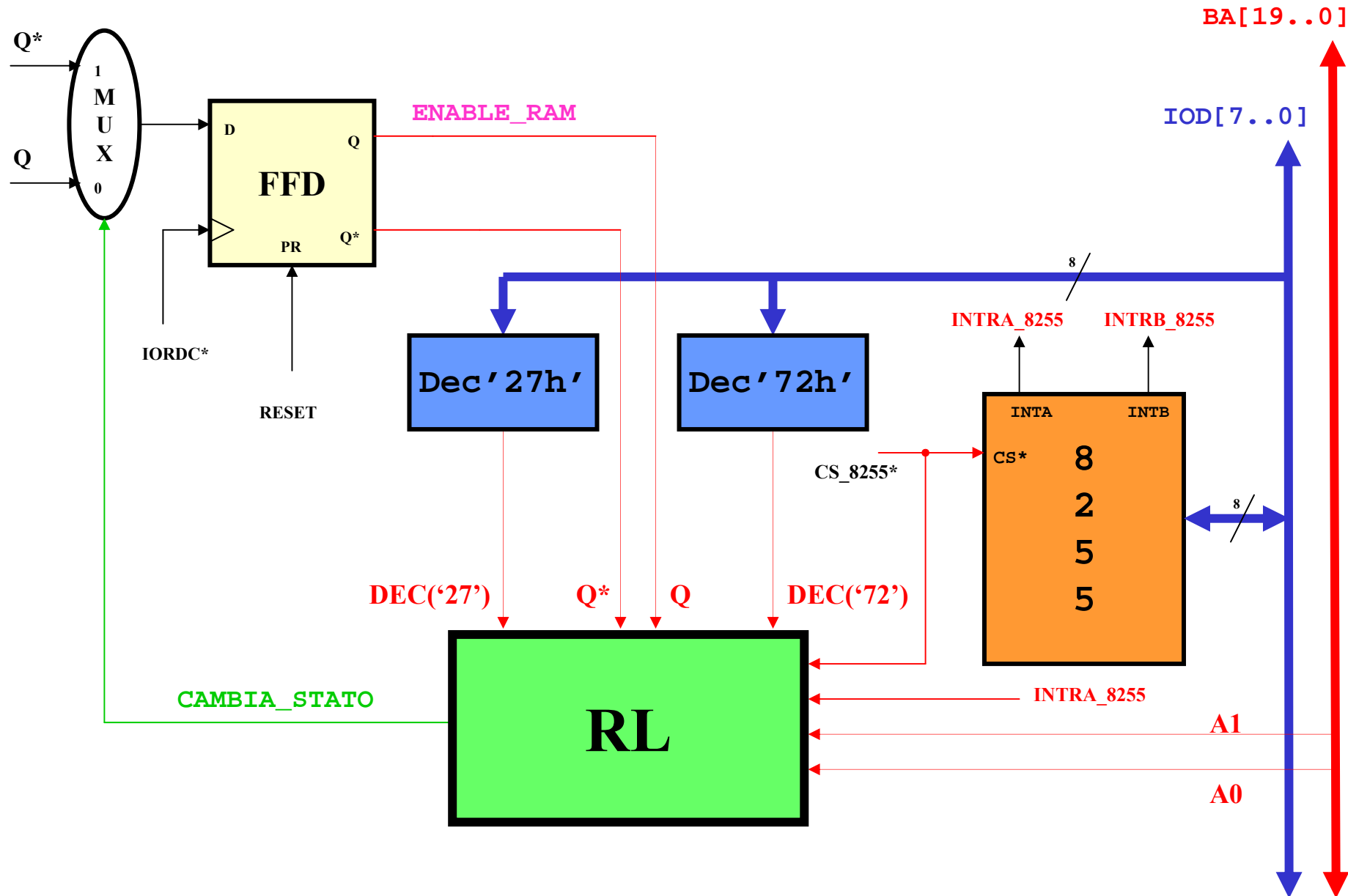
ATTIVA_EPROM = ENABLE_RAM•DEC('27')•INTRA_8255•CS_8255•A1*•A0*

Sintesi del segnale **CAMBIA_STATO** (RL)



*Si noti che una parte dei segnali è comune; di conseguenza **RL** potrebbe essere semplificata.*

Rete che consente la commutazione tra RAM_512 e EPROM_512



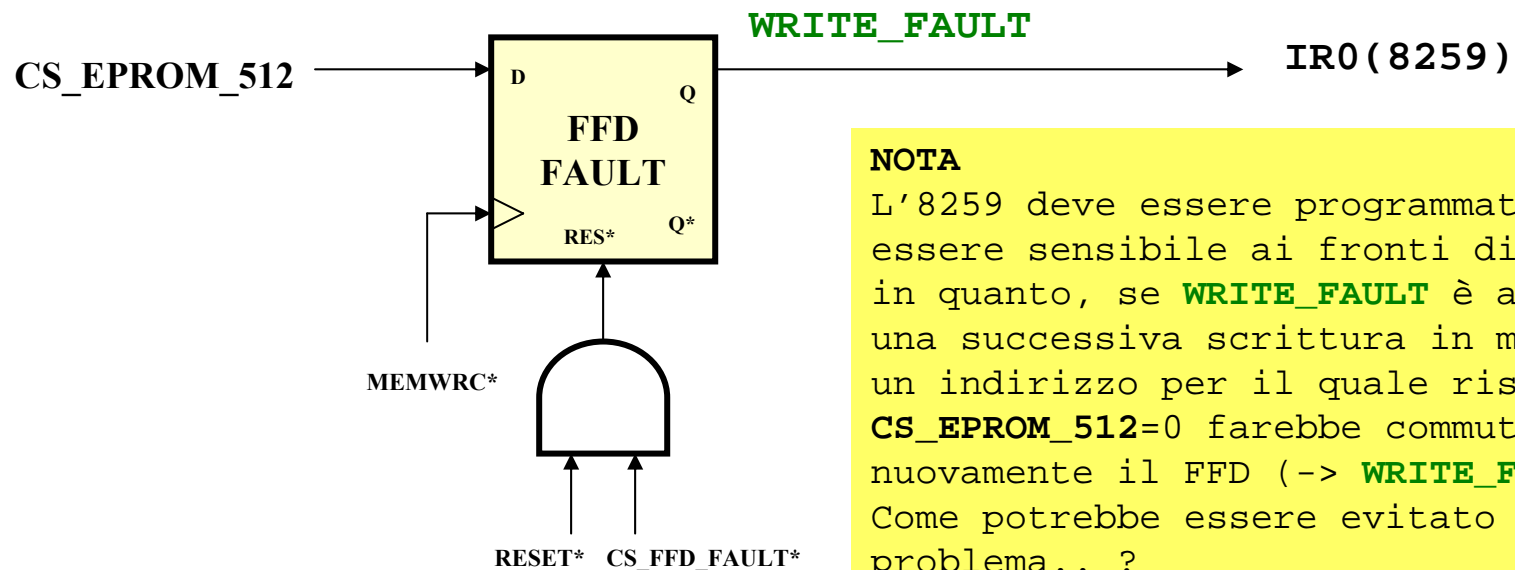
I segnali di interrupt generati dalle porte A e B dell'8255 sono inviati ad un 8259. Si suppone che la richiesta di interrupt generata dalla porta A sia maggiormente prioritaria (**IR1=INTRA_8255**) rispetto alla richiesta di interrupt generata dalla porta B (**IR2=INTRB_8255**).

Allorché è attiva la EPROM (**'ENABLE_RAM*'**) il sistema deve **segnalare scritture in memoria** agli indirizzi (80000h-87FFFh) inviando il carattere **'35h'** sulla **porta B dell'8255**. Tale evento sarà codificato dal segnale **WRITE_FAULT**.

La scrittura del carattere **'35h'** sulla porta B dell'8255 può essere effettuato dal microprocessore su segnalazioni dell'8259 al cui ingresso di **IR0** è connesso il segnale **WRITE_FAULT**. La routine associata a IR0 resetterà il FFD denominato **FFD_FAULT** che memorizza il segnale **WRITE_FAULT** e a *polling* testerà lo stato (effettuando delle letture sulla porta C e verificando lo stato di INTRB) della porta B per verificare la possibilità di inviare il dato sulla porta B. Appena tale condizione sarà verificata la routine invierà il dato **'35h'** sulla porta B dell'8255 mediante una istruzione di **OUT** e riprenderà il normale flusso del programma.

Al **RESET** l'uscita Q (**WRITE_FAULT**) del FFD_FAULT dovrà essere inizializzato a 0 mediante il segnale asincrono di RESET. L'uscita **WRITE_FAULT** dovrà anche essere posta a zero dalla routine associata a IR0 scrivendo all'indirizzo di memoria a cui è mappato FFD_FAULT.

L'uscita Q (segnale **WRITE_FAULT**) del FFD_FAULT dovrà portarsi a 1 se si effettua una scrittura in memoria (**MEMWRC***) tra gli indirizzi (80000h-87FFFh) mentre il segnale **ENABLE_RAM*** è attivo (queste ultime due condizioni sono codificate dal segnale **CS_EPROM_512**). La rete che realizza tale funzione è la seguente:

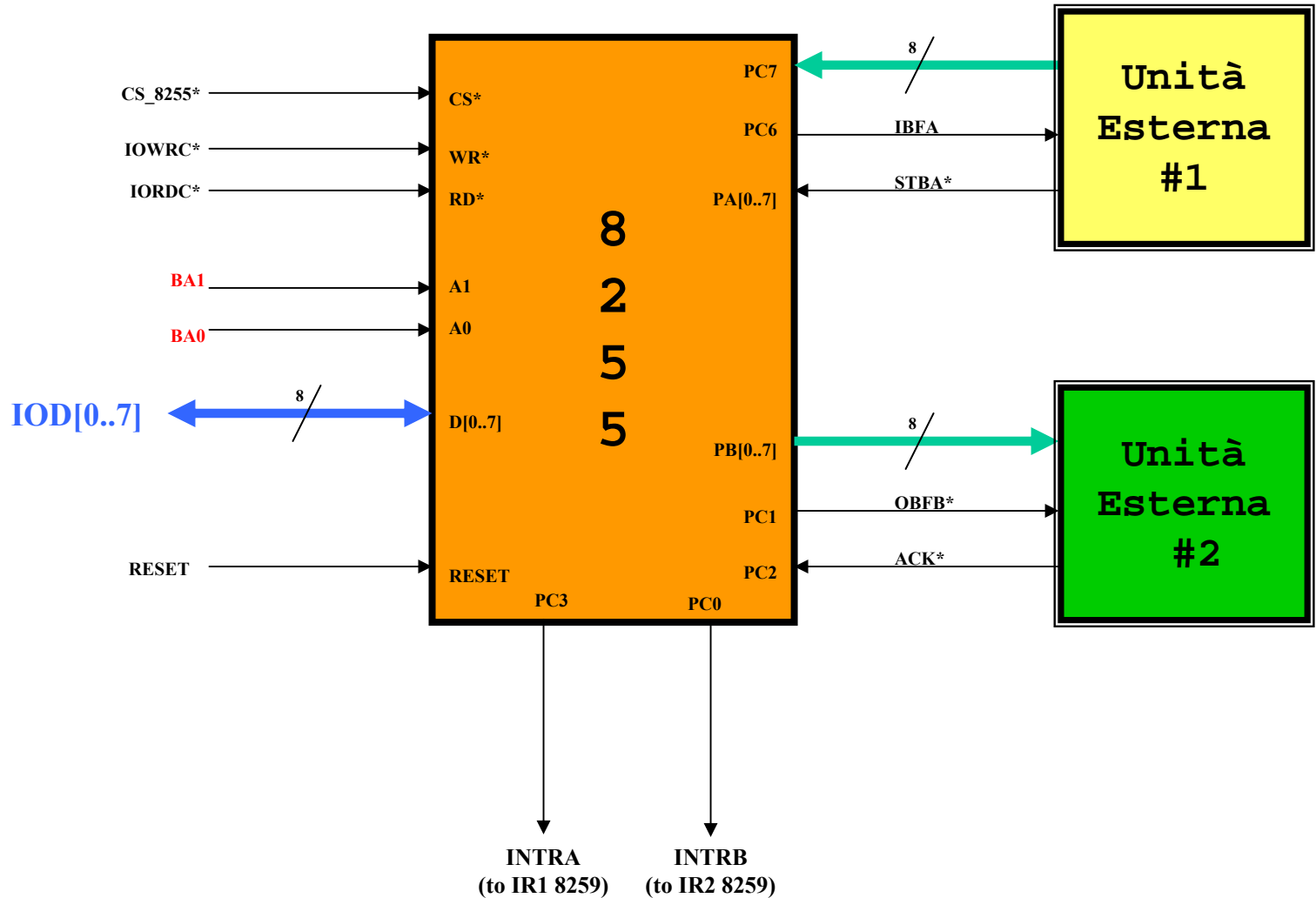


NOTA

L'8259 deve essere programmato per essere sensibile ai fronti di salita in quanto, se **WRITE_FAULT** è asserito, una successiva scrittura in memoria ad un indirizzo per il quale risulta **CS_EPROM_512=0** farebbe commutare nuovamente il FFD (-> **WRITE_FAULT=0**). Come potrebbe essere evitato questo problema.. ?

8255

Il segnale di interrupt generati dalle porte A e B dell'8255 sono inviati agli ingressi **IR1** e **IR2** dell'8259.



8259

L'8259 deve essere programmato per essere sensibile ai fronti dei segnali.

