

Esercizio I-8088

Calcolatori Elettronici LA

(29 Marzo 2003)

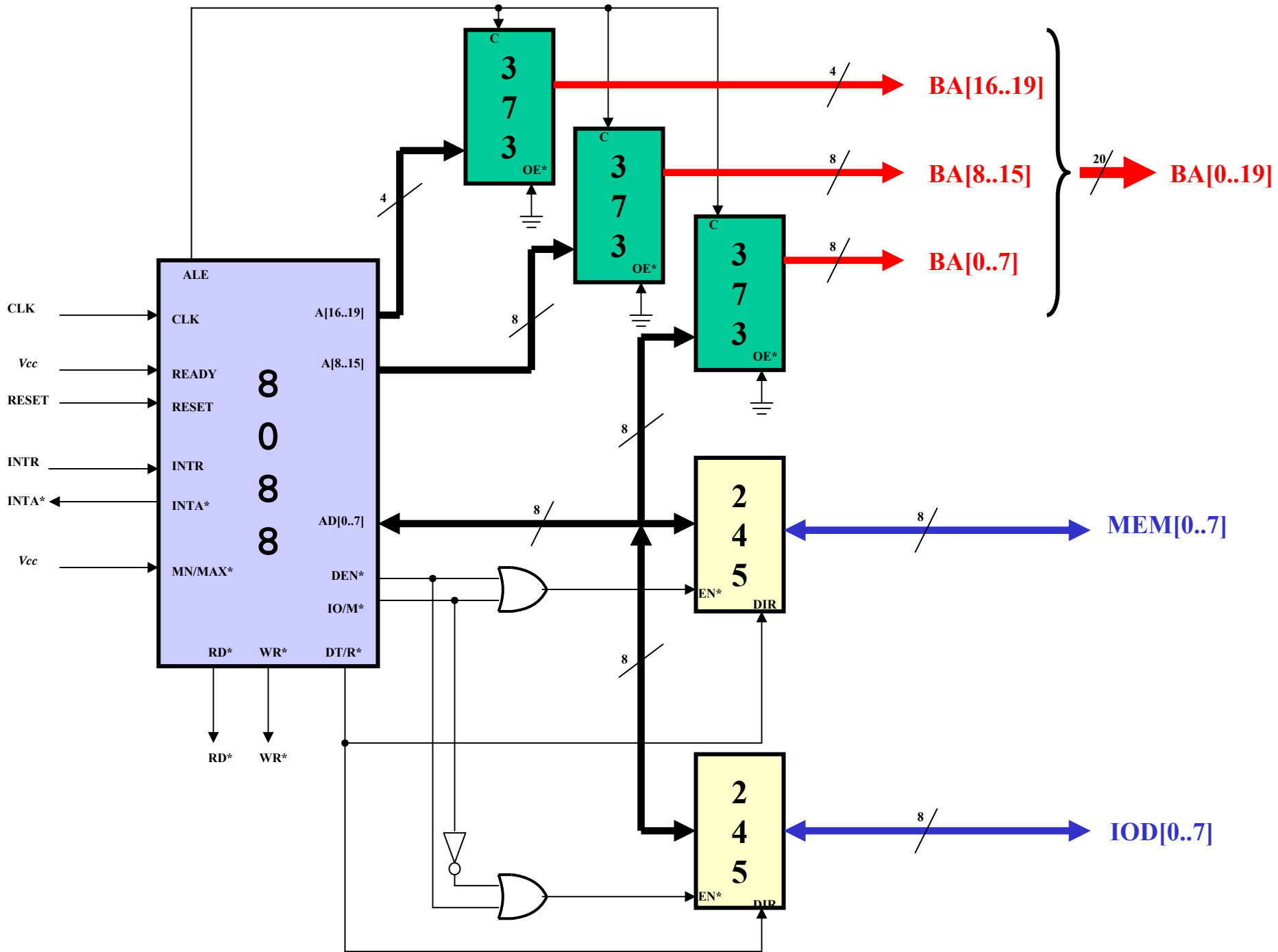
Un sistema con un **8088** a 5MHz dispone di **192 KB di EPROM** agli indirizzi alti e **64 KB di RAM** agli indirizzi bassi. Come periferica è presente solo un **8255**. La **porta B** è programmata in **INPUT modo 1** e la **porta A** è programmata in **OUTPUT modo 1**.

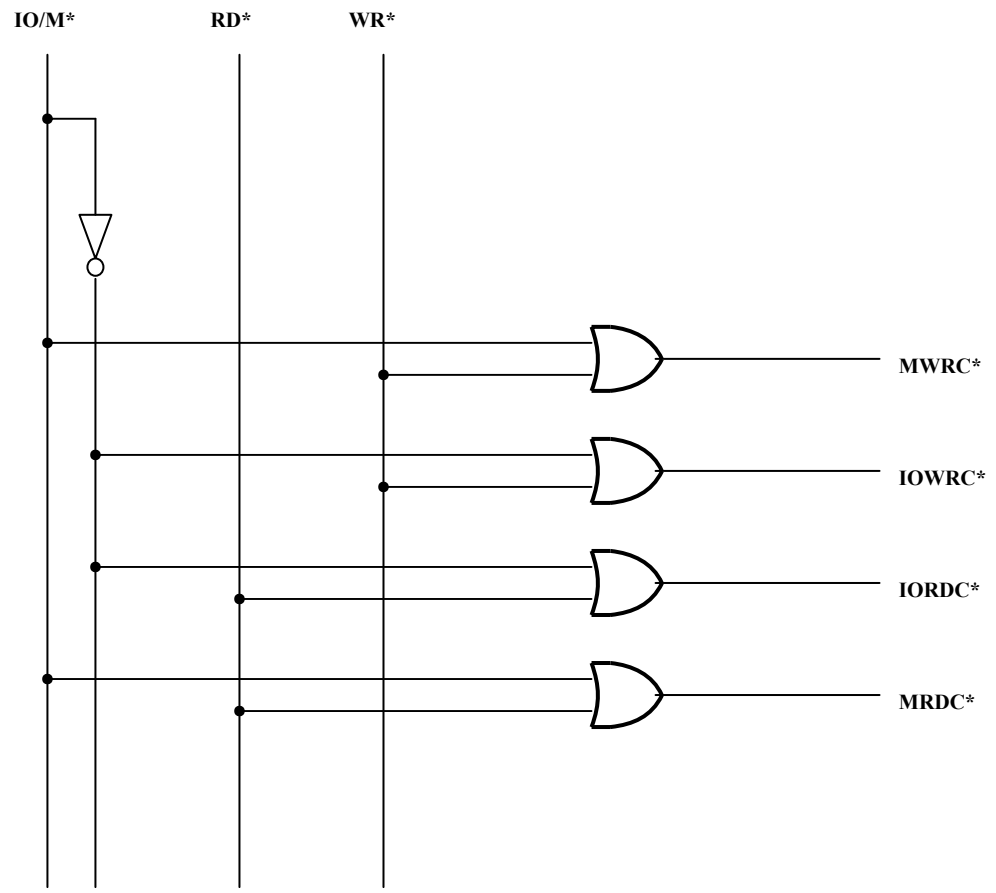
La **priorità della porta B** è maggiore di quella della **porta A**.

1. Progettare una rete che gestisca le due interruzioni dell'**8255 senza utilizzare un 8259**
2. Progettare una rete che gestisca le due interruzioni dell'**8255 senza utilizzare un 8259** e che consenta la **modifica via software degli interrupt types** associati all'**8255**
3. Progettare una rete che gestisca le due interruzioni dell'**8255 utilizzando un 8259**

In tutti i casi si faccia l'ipotesi che i 2 interrupt type siano consecutivi e che l'interrupt handler durante l'esecuzione non abiliti le richieste di interruzione.

- **8088** a 5 MHz
- **64 KB di RAM** (indirizzi: 00000h-0FFFFh)
2 chip di RAM da 32 KB
- **192 KB di EPROM** (indirizzi: D0000h-FFFFFFh)
1 chip di EPROM da 64 KB
1 chip di EPROM da 128 KB
- **8255** mappato all'indirizzo 0080h
Porta A in modo 1 (OUTPUT)
Porta B in modo 1 (INPUT)
Priorità Porta B > Priorità Porta A
- **373** mappato all'indirizzo 0040h (Caso 2)
- **8259** mappato all'indirizzo 0020h (Caso 3)





Segnali di decodifica memorie

RAM

2 chip di RAM da 32KB

RAM1 (**00000h** – **07FFFh**)

00000h **0000** 0000 0000 0000 0000

07FFFh **0000** 0111 1111 1111 1111

CS_RAM1 = BA19*·BA15*

RAM2 (**08000h** – **0FFFFh**)

08000h **0000** 1000 0000 0000 0000

0FFFFh **0000** 1111 1111 1111 1111

CS_RAM2 = BA19*·BA15

EPROM

1 chip da 64KB, 1 chip da 128KB

EPROM_64 (**D0000h** – **DFFFFh**)

D0000h **1101** 0000 0000 0000 0000

DFFFFh **1101** 1111 1111 1111 1111

CS_EPROM_64 = BA19·BA17*

EPROM_128 (**E0000h** – **FFFFFFh**)

E0000h **1110** 0000 0000 0000 0000

FFFFFFh **1111** 1111 1111 1111 1111

CS_EPROM_128 = BA19·BA17

Segnali di decodifica periferiche

Caso 1

8255

8255 mappato all'indirizzo
0080h.

0080h 0000 0000 **1**000 0000

CS_8255 = IO/M*

Caso 2

8255

8255 mappato all'indirizzo
0080h.

0080h 0000 0000 **1**000 0000

CS_8255 = BA7

373

373 mappato all'indirizzo
0040h.

0040h 0000 0000 **0**100 0000

CS_373 = BA7*

Caso 3

8255

8255 mappato all'indirizzo
0080h.

0080h 0000 0000 **1**000 0000

CS_8255 = BA7

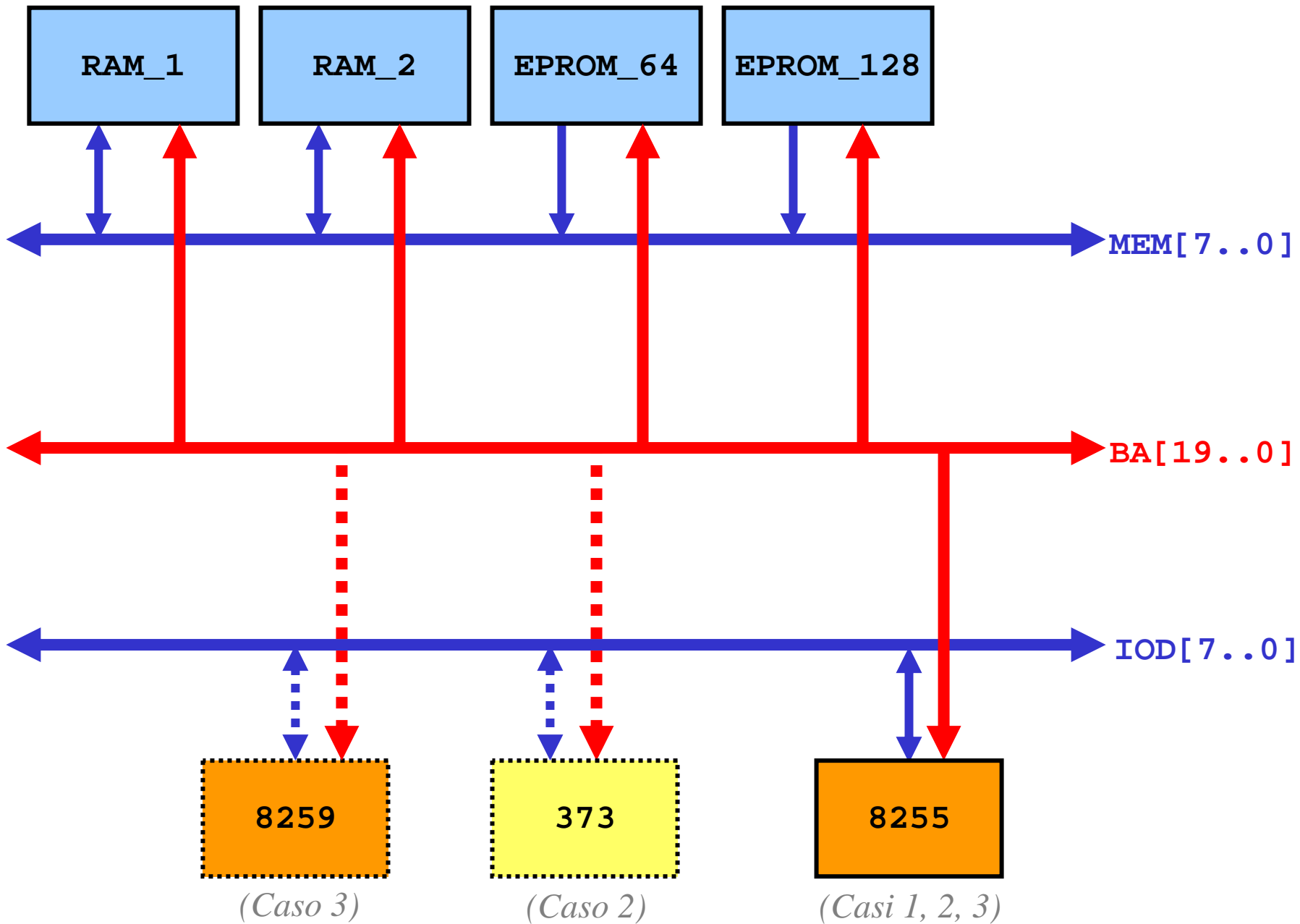
8259

8259 mappato all'indirizzo
0020h.

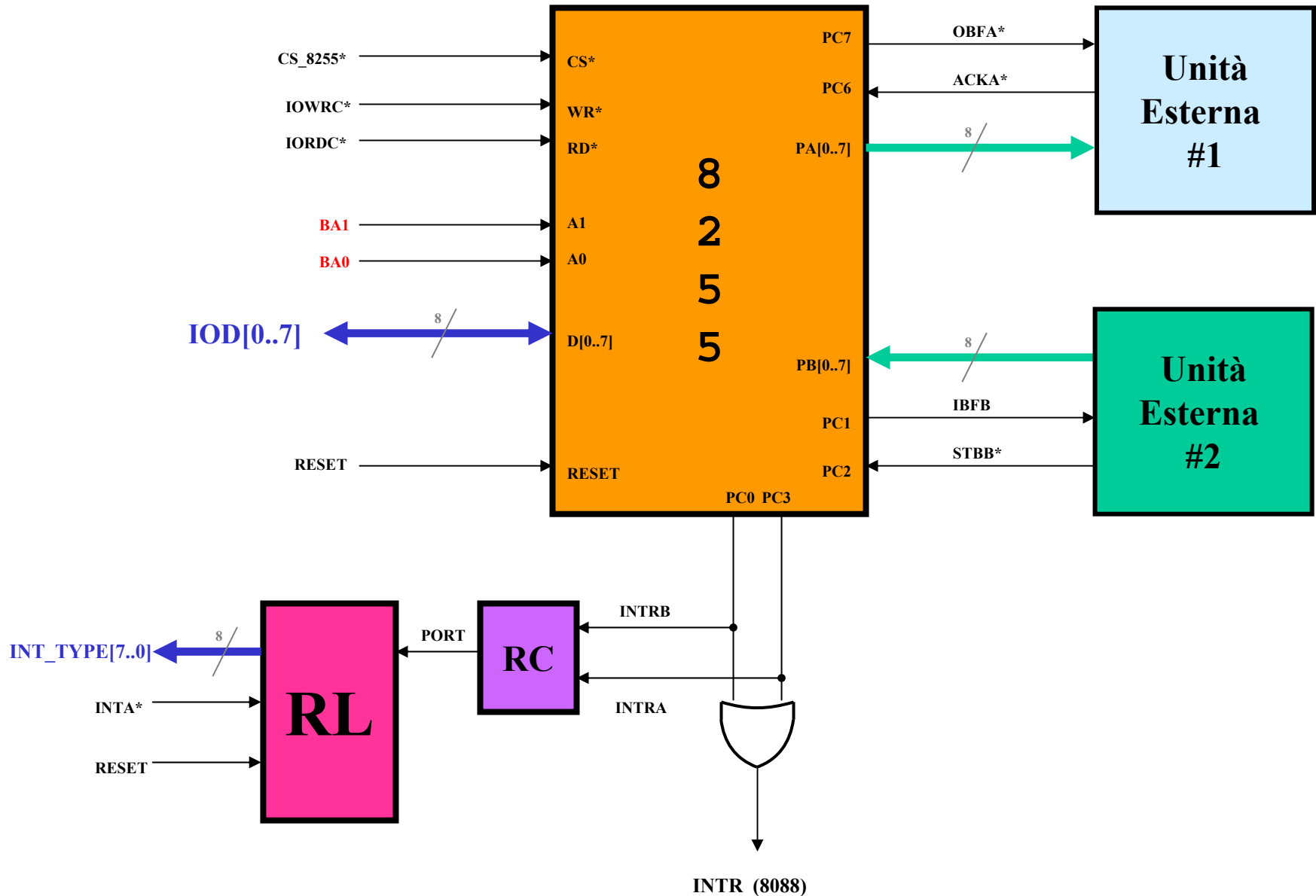
0020h 0000 0000 **0**010 0000

CS_8259 = BA7*

Interfacciamento memorie e dispositivi di I/O



Progetto della rete RL che gestisce le interruzioni dell'8255 Casi 1) e 2)



La rete **RL** gestisce la priorità delle interruzioni generate dalle porte A e B (la porta B è più prioritaria della porta A).

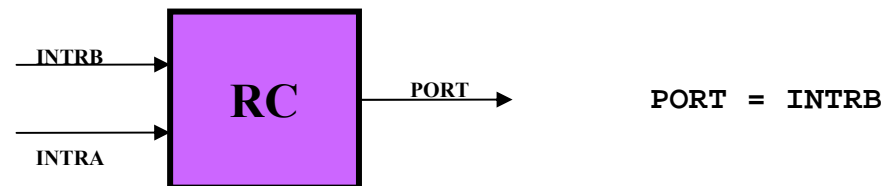
Nel caso sia presente almeno una richiesta di interruzione, durante la fase di riconoscimento dell'interrupt **RL** deve generare l'*interrupt_type* (tra i due possibili) che deve essere letto dall'8088. Per generare un *interrupt_type* stabile è necessario identificare in tempo utile la porta a priorità massima. Questo viene realizzato campionando l'uscita della rete combinatoria (**RC**) che identifica la porta a priorità più elevata (segnale **PORT = 0 -> Porta A** e **PORT = 1 -> Porta B**) sul fronte di salita del **primo ciclo INTA*** (vedi lucido successivo).

Nel caso il microprocessore gestisca già un'interruzione e si verifica un interrupt più prioritario questo deve rimanere *pendente*. Una volta finita la routine di gestione dell'interrupt verrà riattivato dall'8088 l'IF e la richiesta di interruzione pendente verrà gestita con il medesimo meccanismo.

Gestione priorità

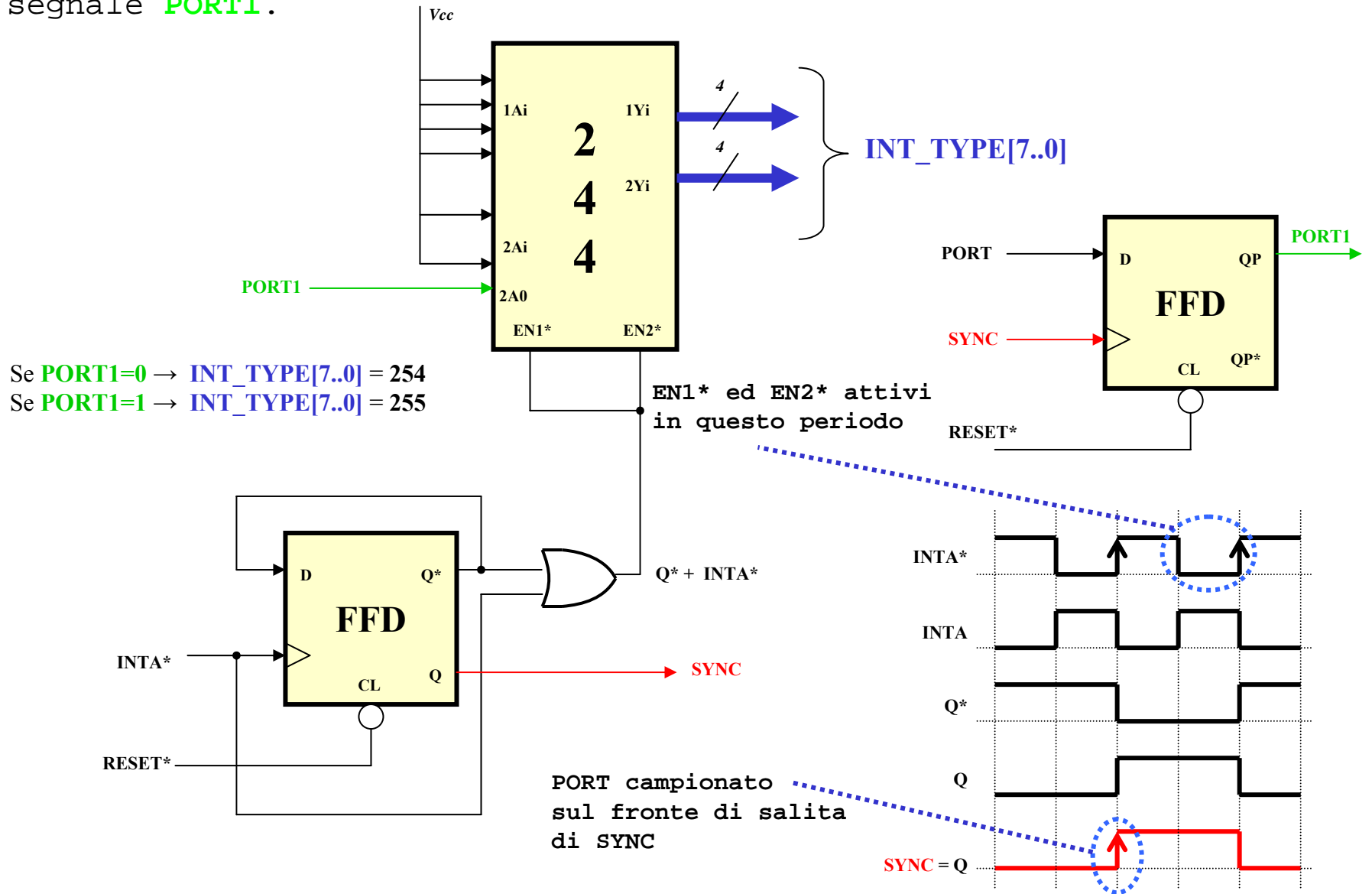
Codificando la porta A con PORT=0 e la porta B con PORT=1 si ottiene il segnale **PORT=INTRB** che identifica quale porta, tra quelle che hanno l'interrupt attivo, è più prioritaria (nel caso INTRA=0 e INTRB=0 non è significativa l'uscita della rete: nessun interrupt...)

INTRB	INTRA	PORT
0	0	- (-)
0	1	0 (A)
1	0	1 (B)
1	1	1 (B)



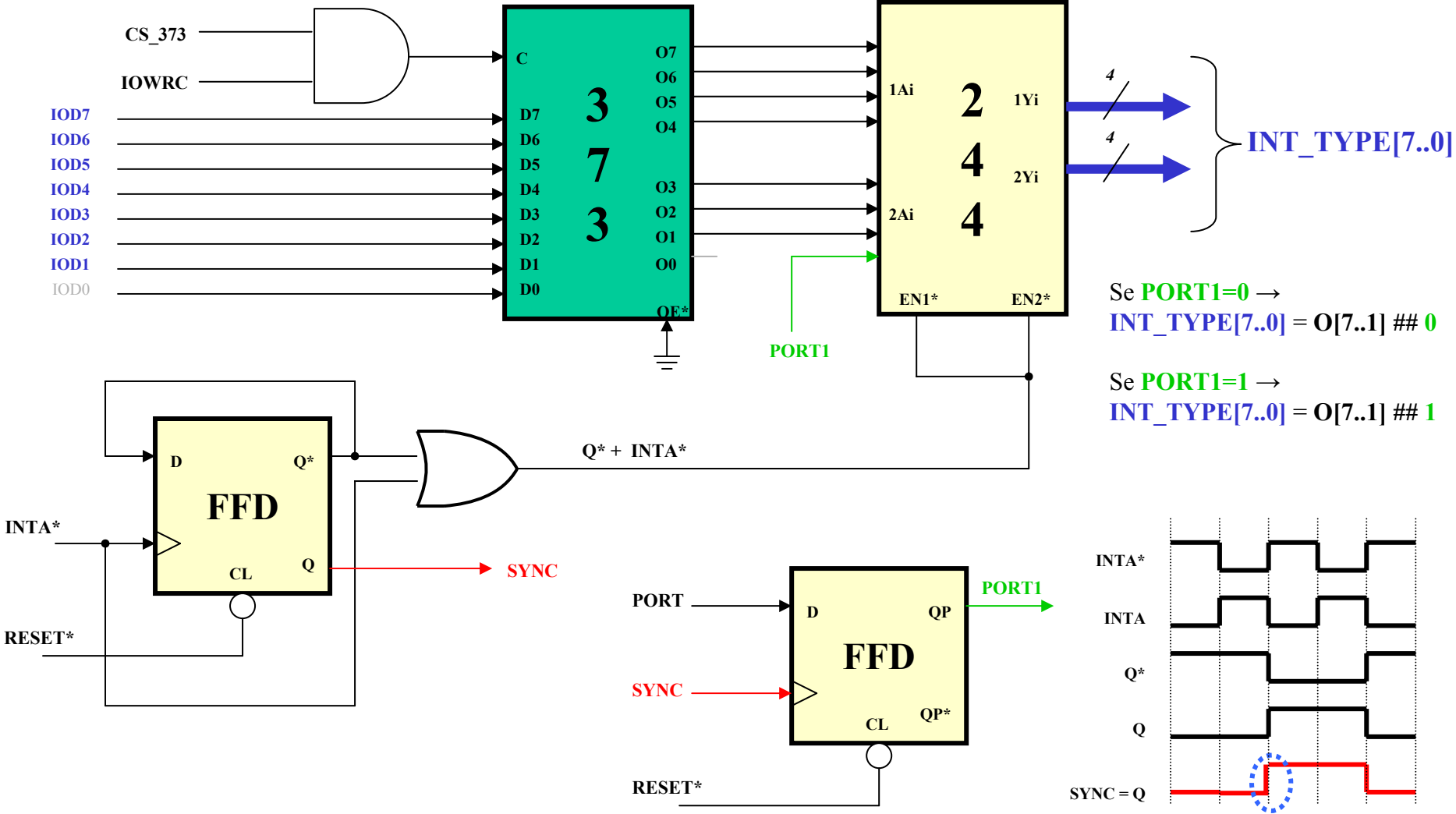
1) RL: soluzione con interrupt type fissi

Il segnale **PORT** è campionato sul fronte di salita del segnale **SYNC = Q** (fronte di salita del primo ciclo INTA*) generando il segnale **PORT1**.



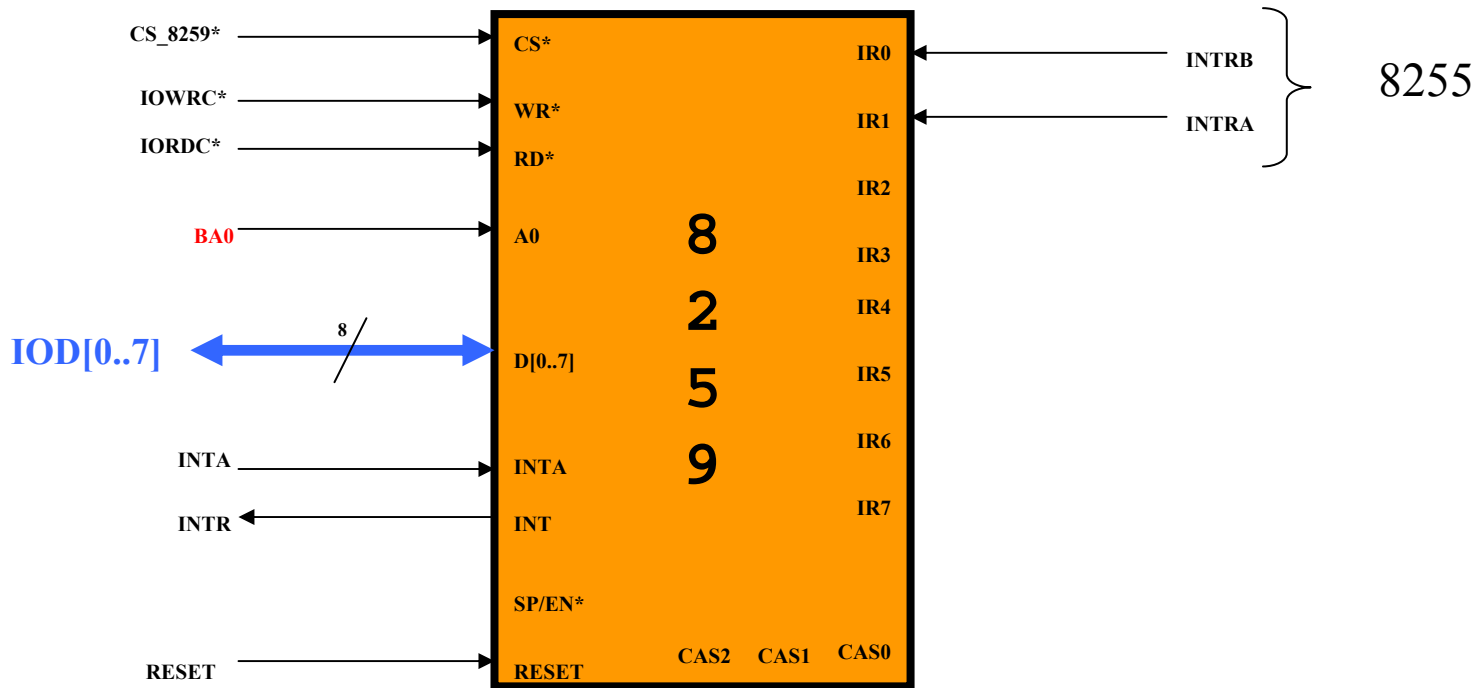
2) RL: soluzione con interrupt type programmabili

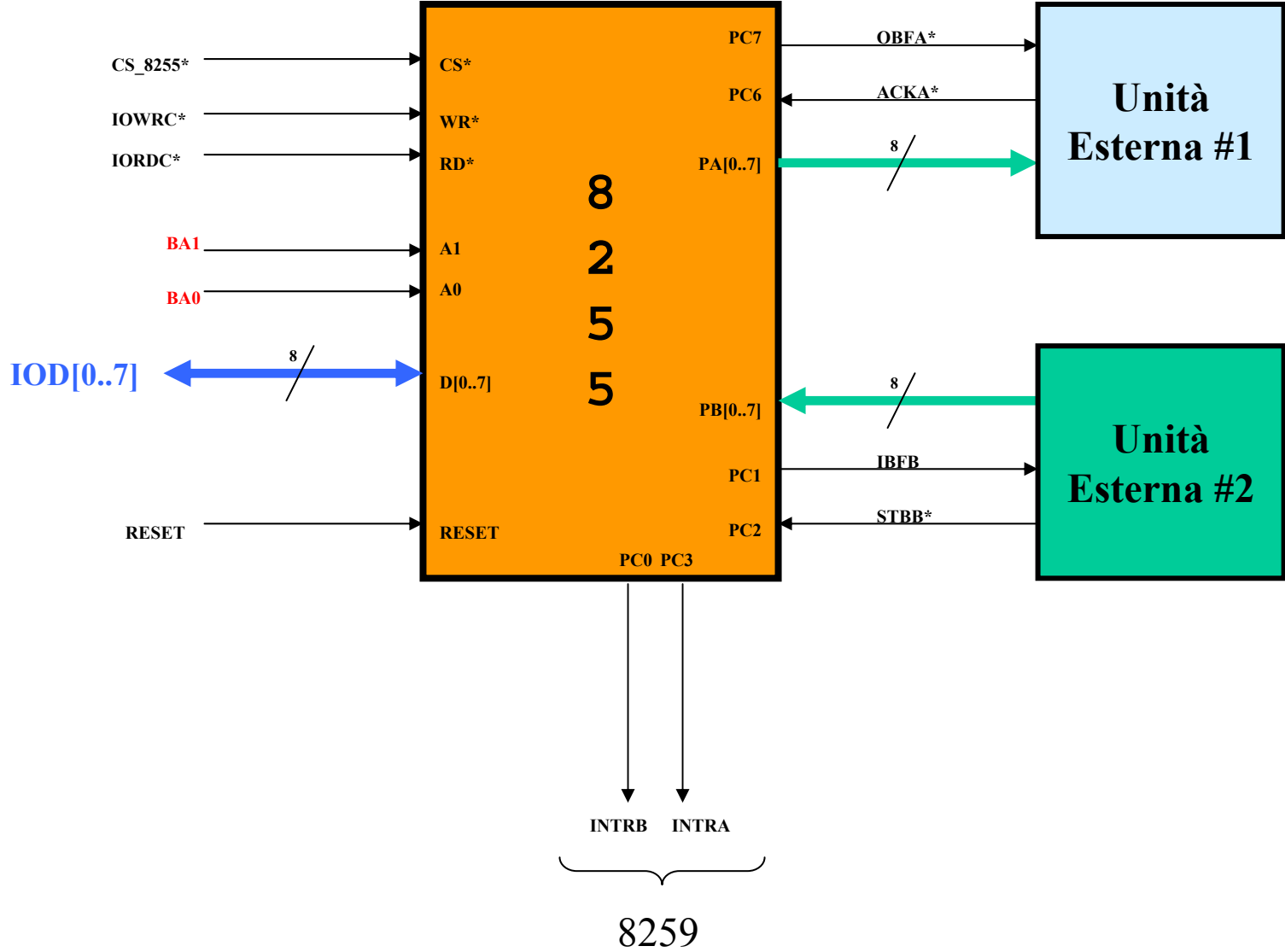
Come nel caso precedente di interrupt type fissi, il segnale **PORT** è campionato sul fronte di salita di **SYNC = Q**.



3) Soluzione con 8259 (Caso 3)

In questo caso il rilevamento dell'interrupt più prioritario e la conseguente generazione dell'interrupt type appropriato sono gestiti dall'8259.

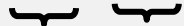




Parole di controllo 8255

Control Word

1 010X 11X



Modo 1, porta B INPUT

Modo 1, porta A OUTPUT

Control Word: abilitazione di INTEB

0 XXX 010 1

Set di PC2

Control Word: abilitazione di INTEA

0 XXX 110 1

Set di PC6

Parole di controllo 8259

ICW1

A0	7	6	5	4	3	2	1	0
0	x	x	x	1	1	x	1	1

Un solo 8259, programmato per essere sensibile ai livelli dei segnali di interrupt

ICW2

A0	7	6	5	4	3	2	1	0
1	T7	T6	T5	T4	T3	x	x	x

T7, T6, T5, T4, T3 : i 5 bit più significativi dell'interrupt type

ICW4

A0	7	6	5	4	3	2	1	0
1	0	0	0	0	0	x	0	1

Modalità 'Normal Mode' con 'Automatic EOI'

OCW1

A0	7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	0	0

Abilitate le richieste interruzione IR0 e IR1