

Calcolatori  
Elettronici LA

**Esercizi**

**Mapping e Decodifiche**

## Esercizio MD-1

Si consideri un sistema basato su un microprocessore con **bus dati a 8 bit, bus indirizzi a 20 bit** e uno **spazio di indirizzamento separato per memorie (20 bit) e dispositivi di I/O (16 bit)**.

Il sistema dispone di **32 KB di RAM nella parte bassa** dello spazio di indirizzamento e **32 KB di EPROM nella parte alta**.

Nel sistema sono inoltre presenti due dispositivi periferici a 8 bit **mappati nello spazio di indirizzamento della memoria** agli indirizzi **02000h** e **01000h**. Il primo, denominato **D1**, è dotato di **2 registri interni** mentre il secondo, denominato **D2**, è dotato di **4 registri interni**. Complessivamente i due dispositivi periferici **D1** e **D2 sottraggono sei locazioni** alla RAM.

**EPROM:** 1 chip da 32KB (F8000h - FFFFFh)

```
1111 1111 1111 1111 1111
1111 1000 0000 0000 0000
```

**CS\_EPROM** = BA19

**D1:** Mappato in memoria all'indirizzo 02000h, occupa 2 indirizzi (A0).

```
0000 0010 0000 0000 000X
```

**CS\_D1** = BA19\*·BA14\*·BA13·BA12\*·BA11\*·BA10\*·BA9\*·  
BA8\*·BA7\*·BA6\*·BA5\*·BA4\*·BA3\*·BA2\*·BA1\*

**D2:** Mappato in memoria all'indirizzo 01000h, occupa 4 indirizzi (A1A0).

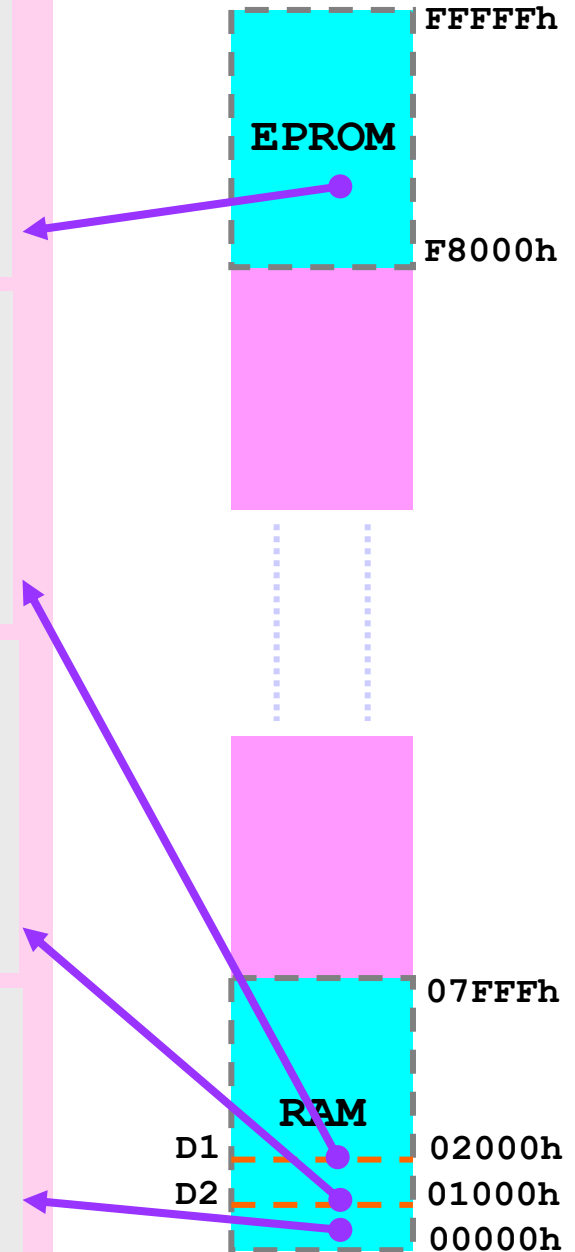
```
0000 0001 0000 0000 00XX
```

**CS\_D2** = BA19\*·BA14\*·BA13\*·BA12·BA11\*·BA10\*·BA9\*·  
BA8\*·BA7\*·BA6\*·BA5\*·BA4\*·BA3\*·BA2\*

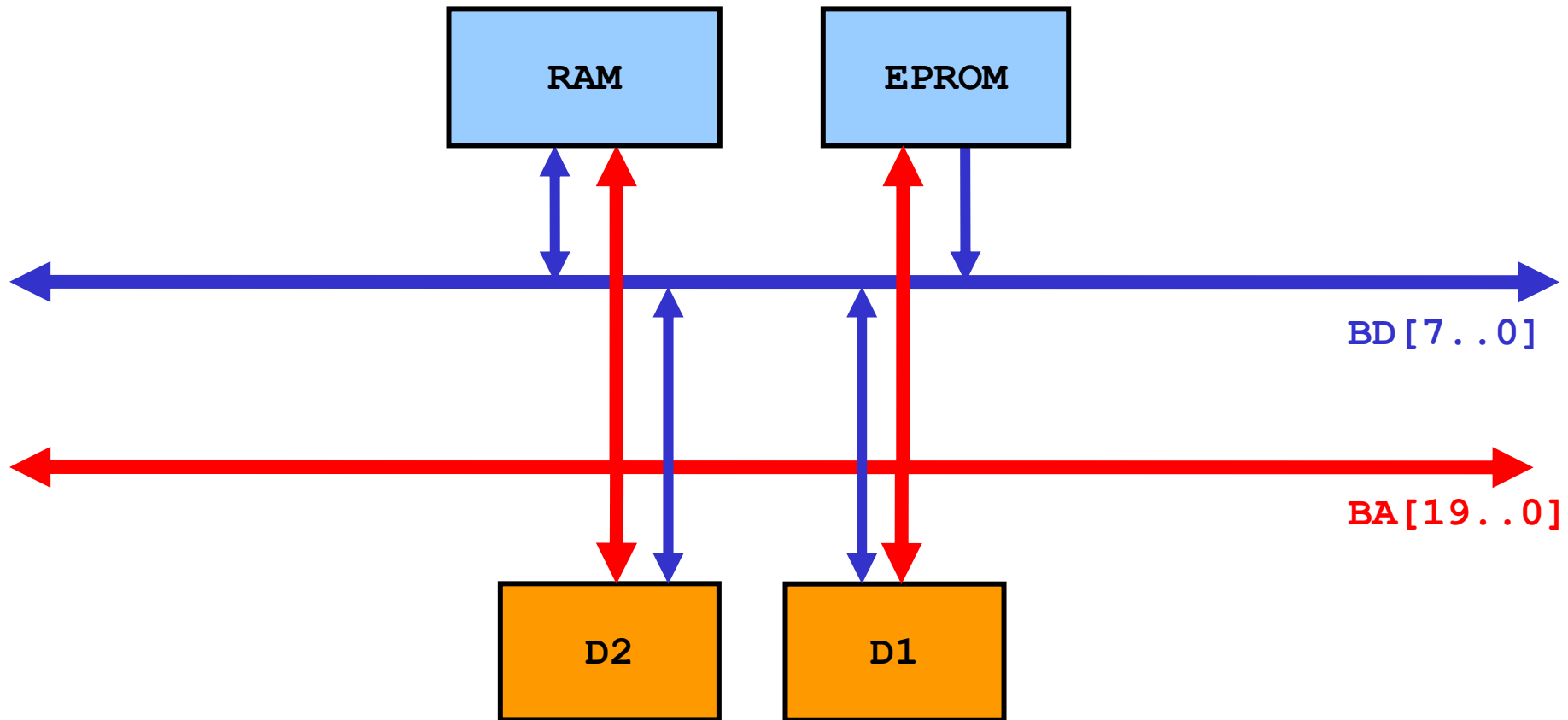
**RAM:** 1 chip da 32KB (00000h->07FFFh)

```
0000 0000 0000 0000 0000
0000 0111 1111 1111 1111
```

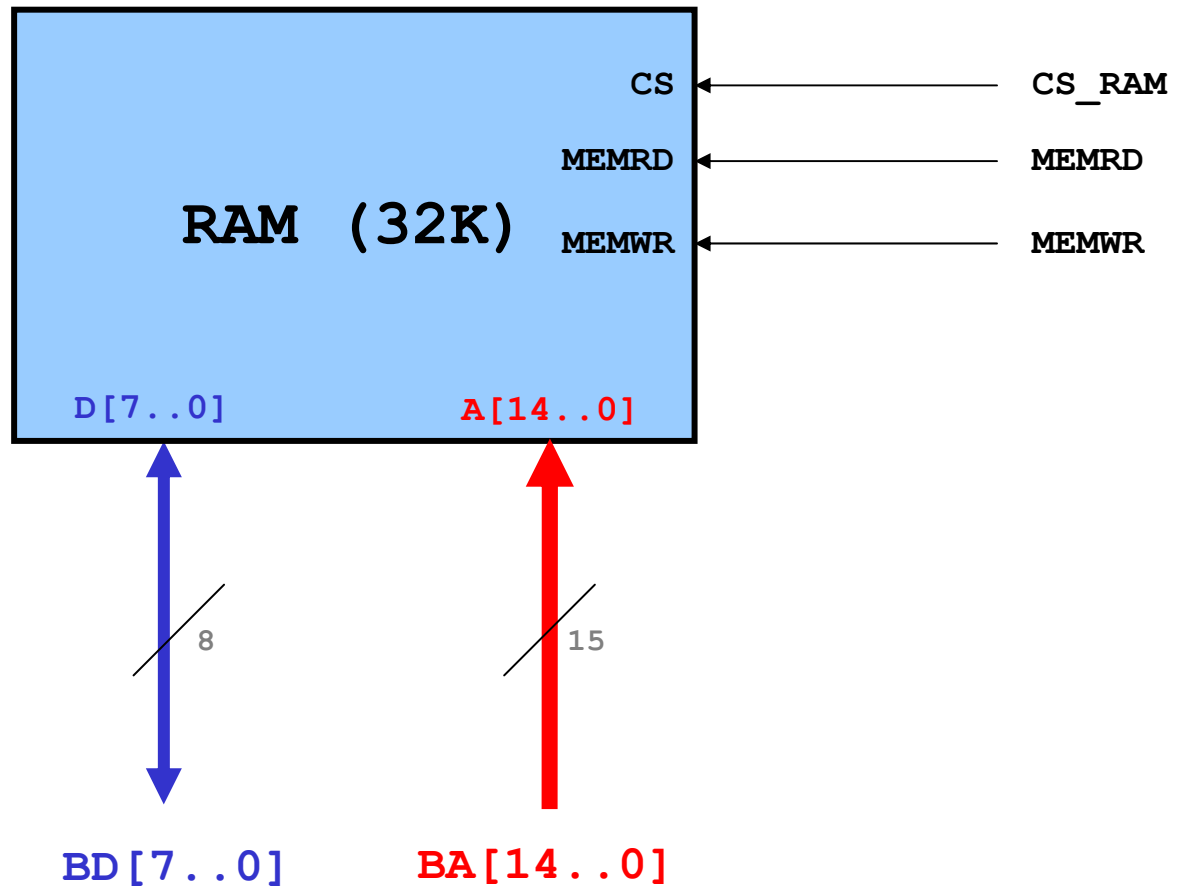
**CS\_RAM** = BA19\*·CS\_D1\*·CS\_D2\*



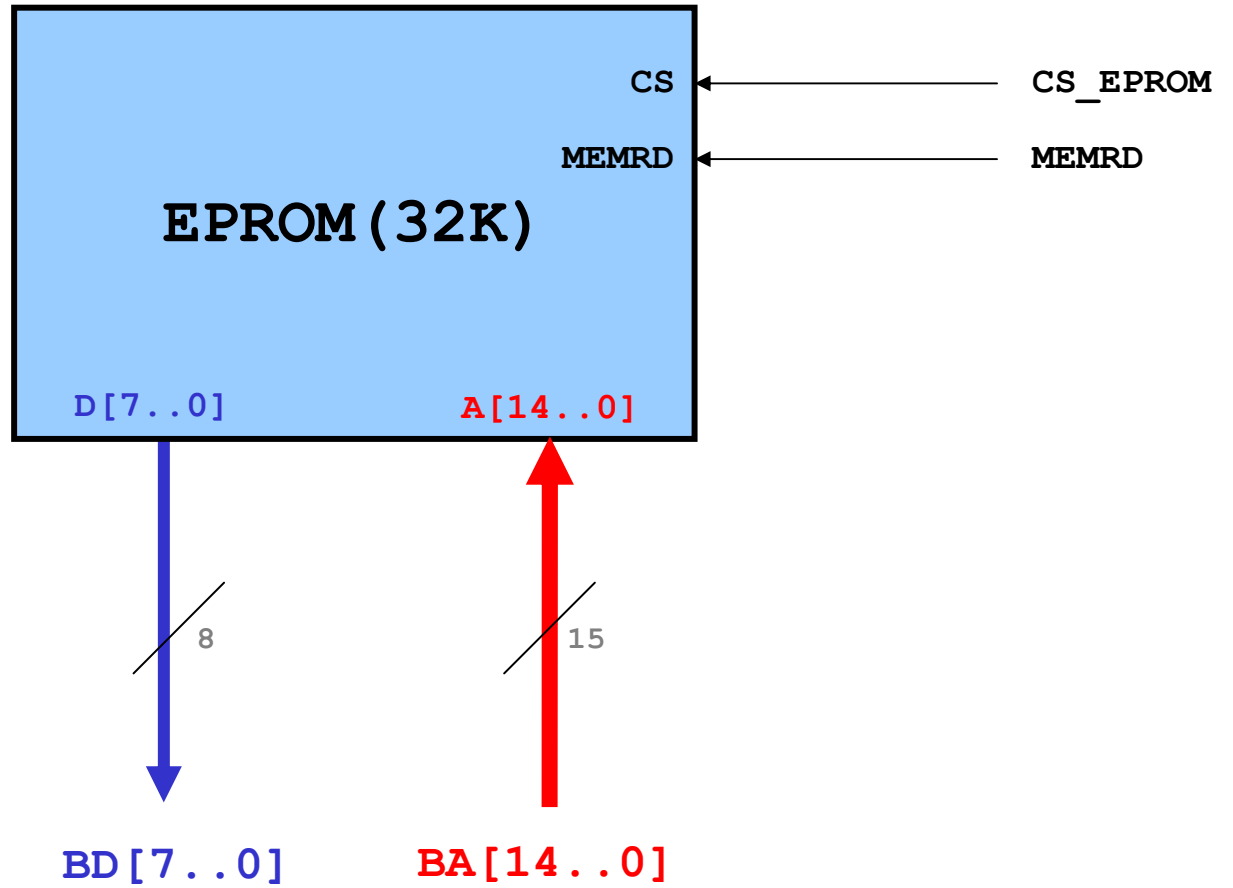
# Interfacciamento memorie e dispositivi di I/O



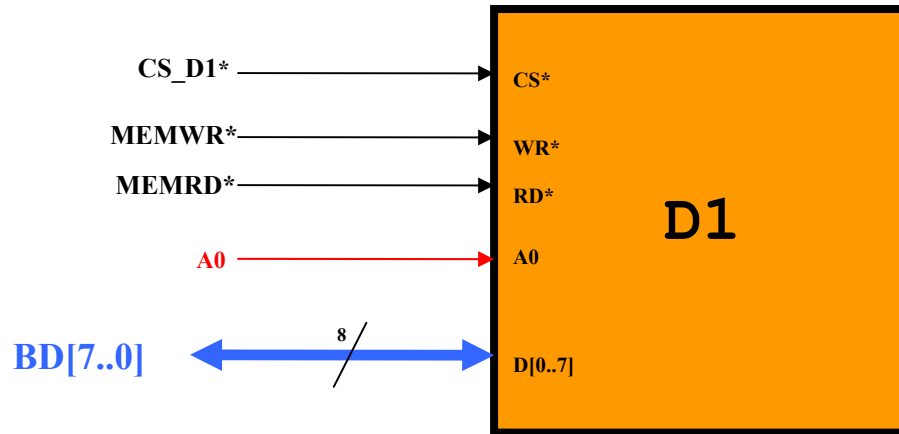
# RAM



# EPROM



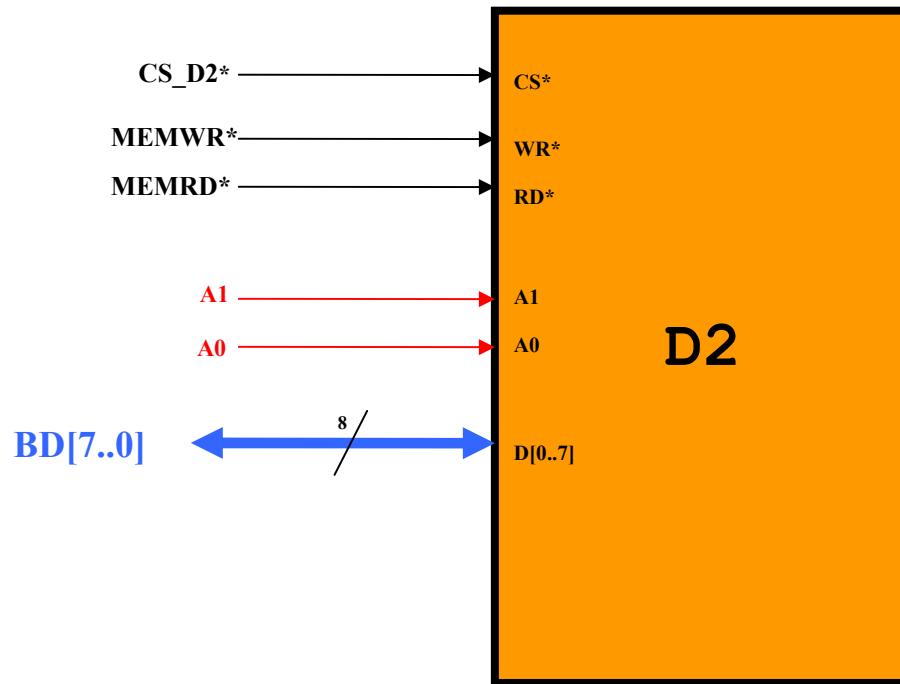
# Dispositivo D1



Essendo la periferica **D1** mappata all'indirizzo **2000h** i suoi due registri interni saranno accessibili ai seguenti indirizzi di memoria:

2000h + 0	Registro 0
2000h + 1	Registro 1

## Dispositivo D2



Essendo la periferica **D2** mappata all'indirizzo **1000h** i suoi quattro registri interni saranno accessibili ai seguenti indirizzi di memoria:

1000h + 0	Registro 0
1000h + 1	Registro 1
1000h + 2	Registro 2
1000h + 3	Registro 3

## Esercizio MD-2

Si consideri un sistema basato su un microprocessore con **bus dati a 8 bit**, **bus degli indirizzi a 20 bit** e uno **spazio di indirizzamento separato per memorie (20 bit) e dispositivi di I/O (16 bit)**.

Il sistema dispone di **32 KB di RAM nella parte bassa** dello spazio di indirizzamento e **32 KB di EPROM nella parte alta**.

Nel sistema sono inoltre presenti due dispositivi periferici a 8 bit **mappati nello spazio di I/O**. Il primo, denominato **D1**, è dotato di 2 registri interni mentre il secondo, denominato **D2**, è dotato di 4 registri interni.

I due dispositivi periferici **D1** e **D2** sono mappati, risp., agli indirizzi **2000h** e **1000h** dello spazio di I/O.

**EPROM:** 1 chip da 32KB (F8000h - FFFFFh)

```
1111 1111 1111 1111 1111  
1111 1000 0000 0000 0000
```

**CS\_EPROM** = **BA19**

**RAM:** 1 chip da 32KB (00000h->07FFFh)

```
0000 0000 0000 0000 0000  
0000 0111 1111 1111 1111
```

**CS\_RAM** = **BA19\***

**D1:** Mappato nello spazio di I/O  
all'indirizzo **2000h**, occupa 2 indirizzi  
(**A0**).

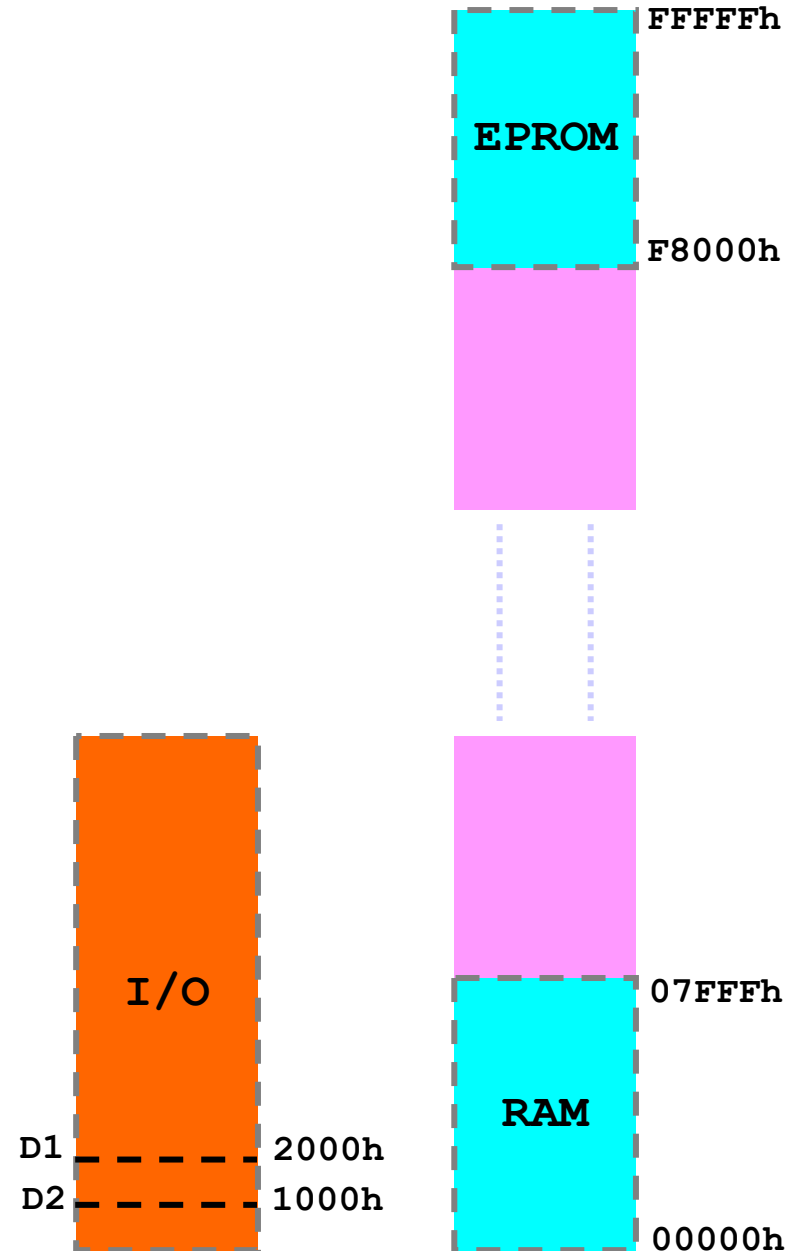
```
0010 0000 0000 000X
```

**CS\_D1** = **BA13**

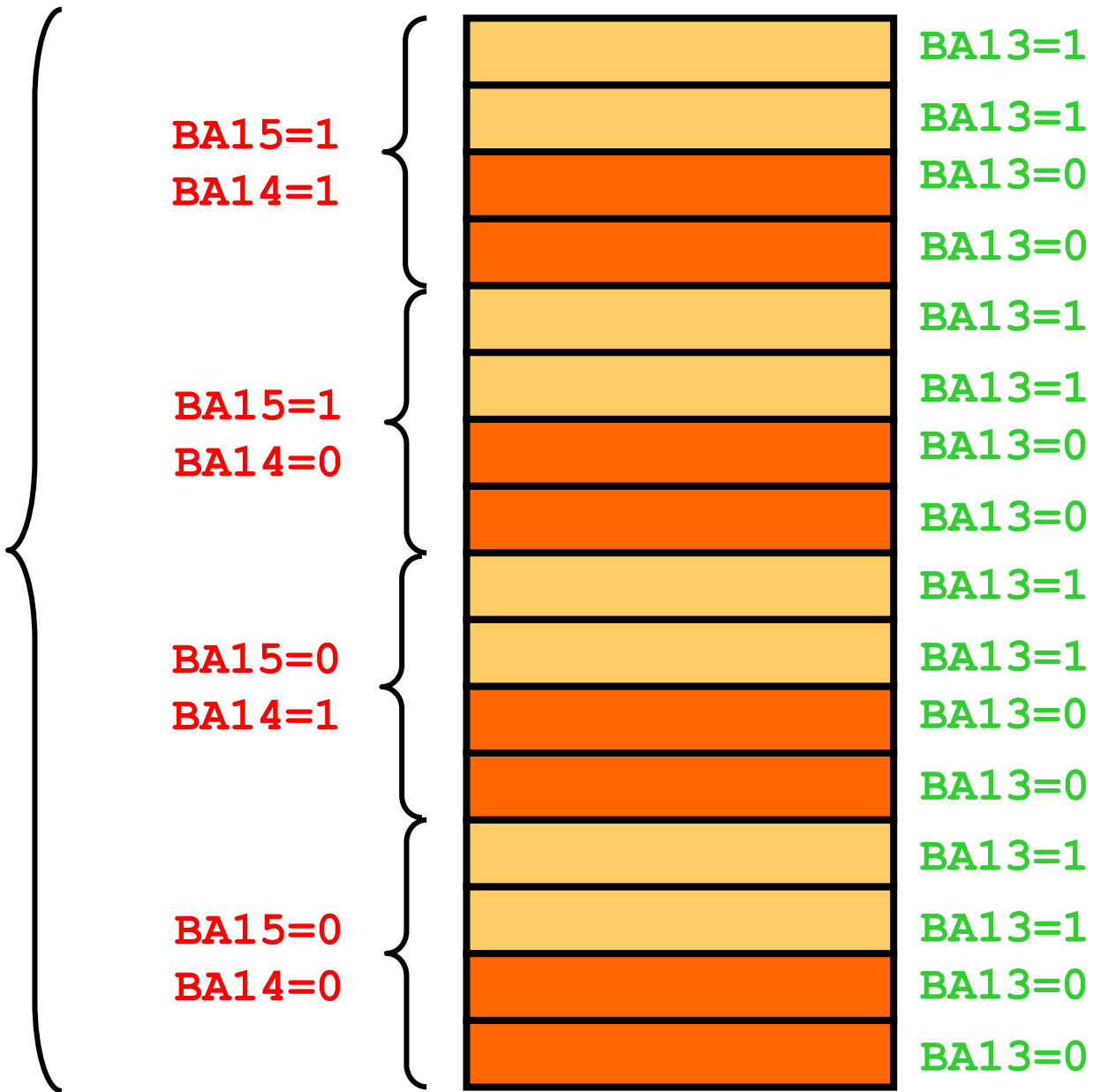
**D2:** Mappato nello spazio di I/O  
all'indirizzo **1000h**, occupa 4 indirizzi  
(**A1A0**).

```
0001 0000 0000 00XX
```

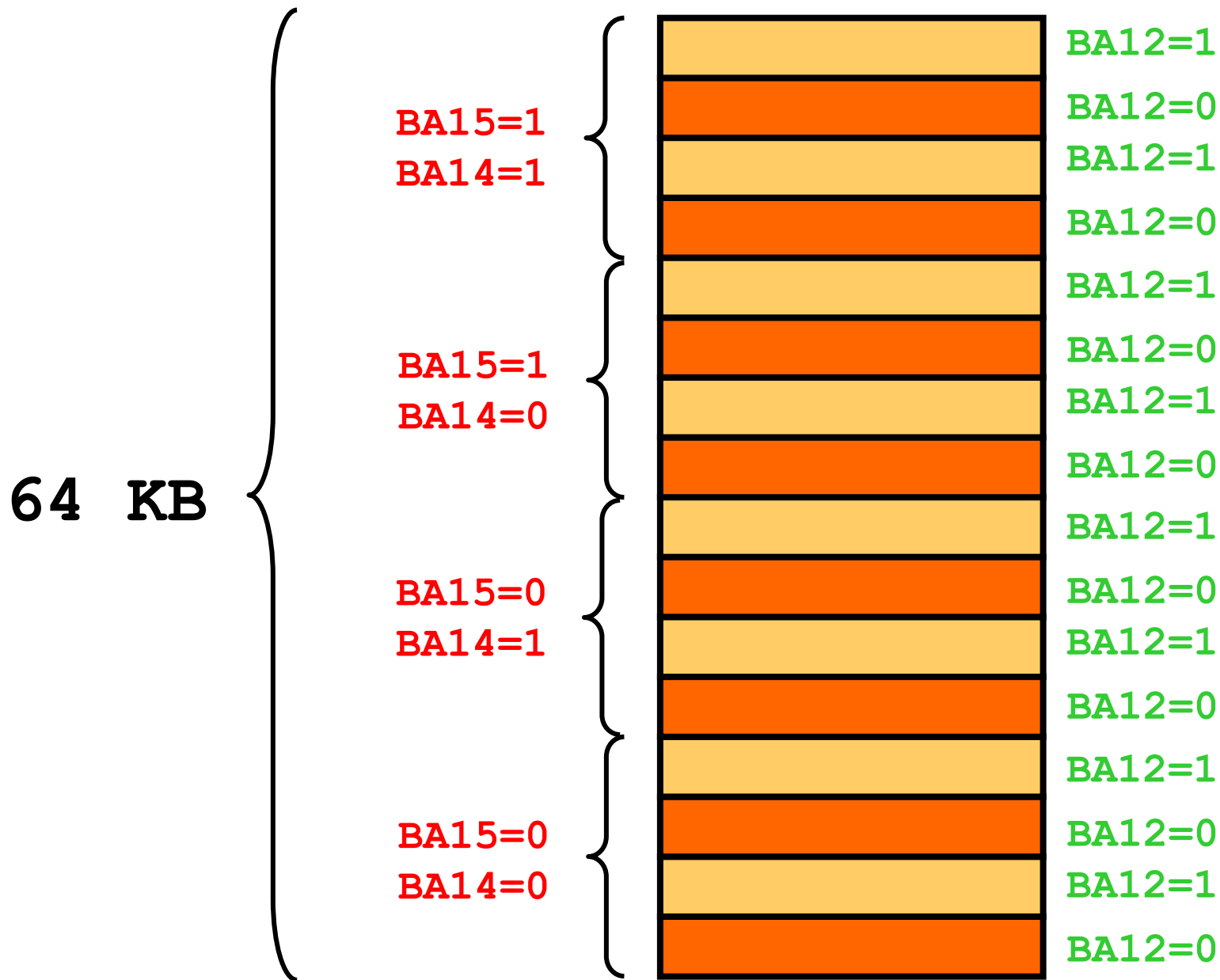
**CS\_D2** = **BA13\***



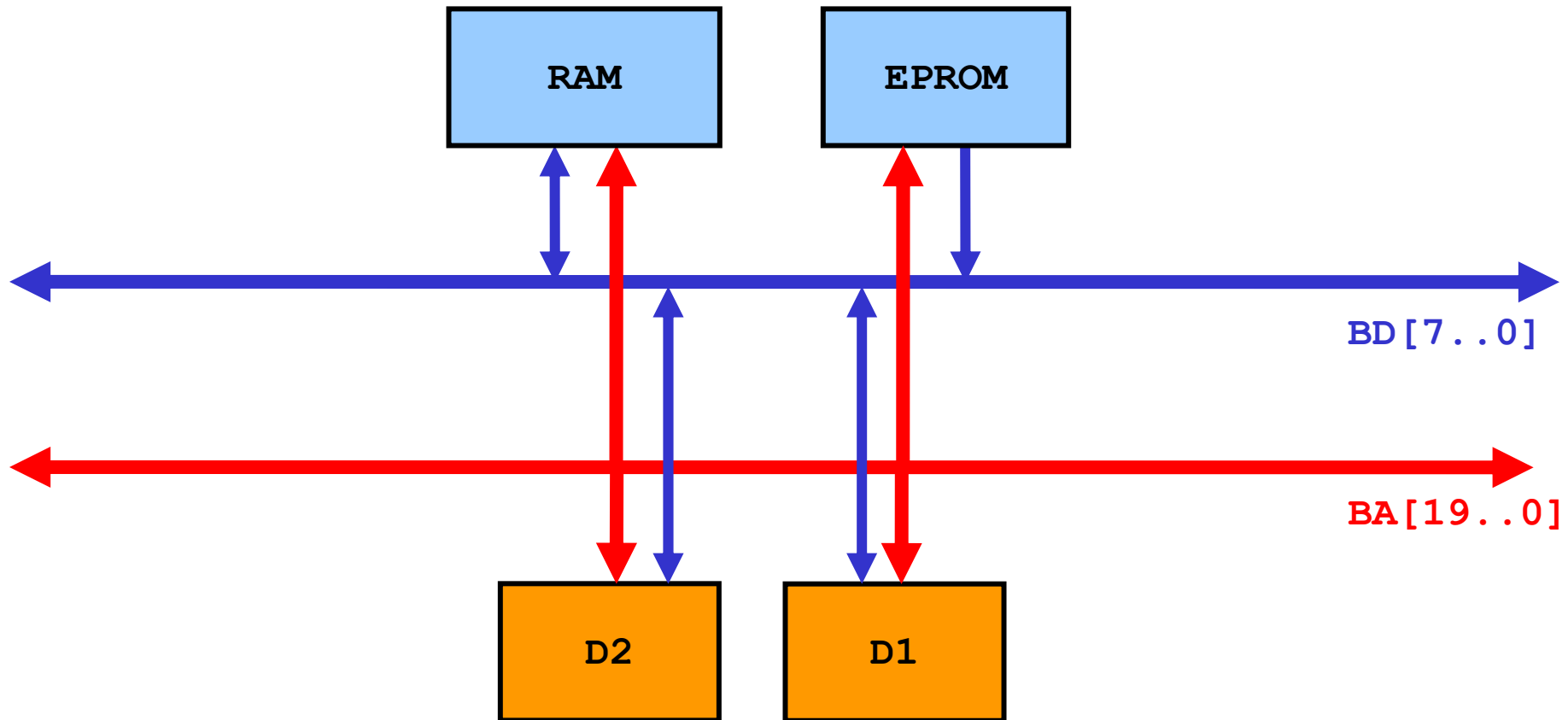
**64 KB**



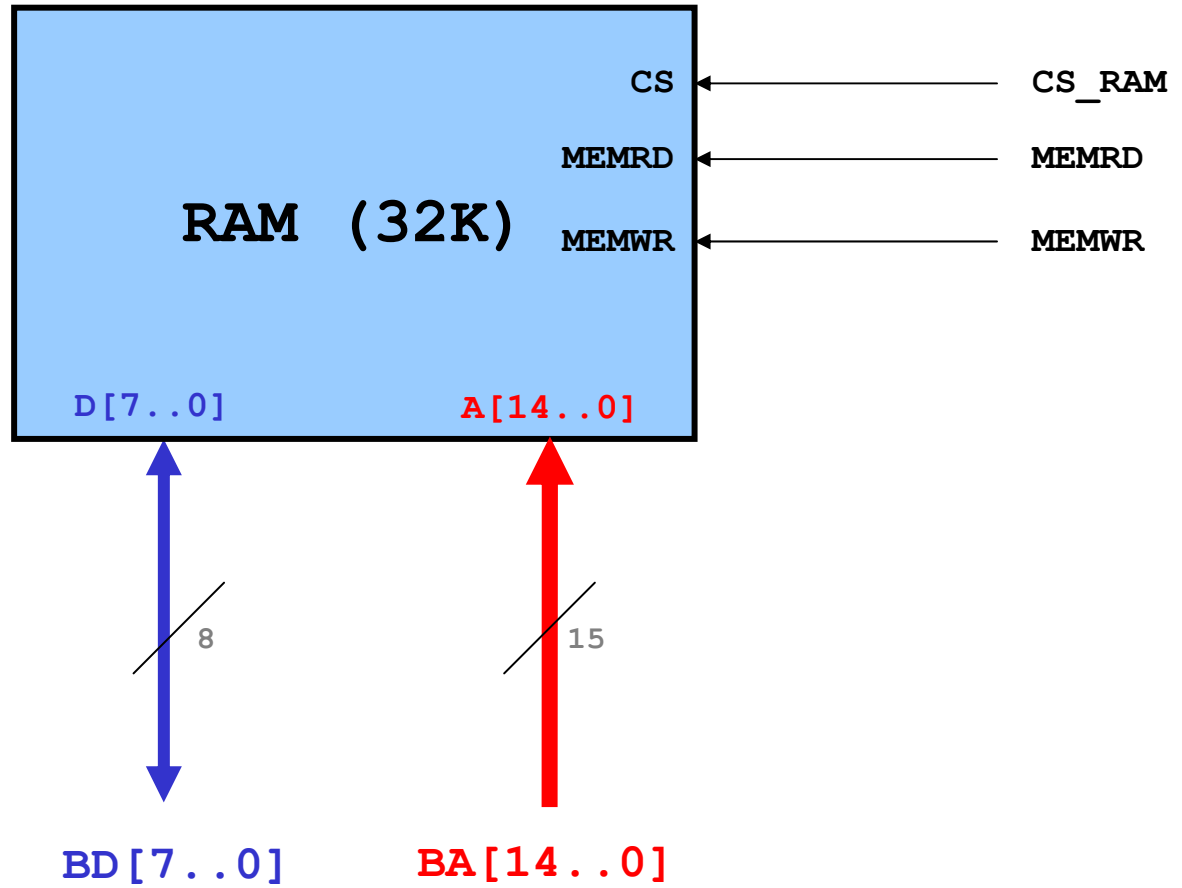
Nell'esercizio precedente era possibile utilizzare BA12 ? Si



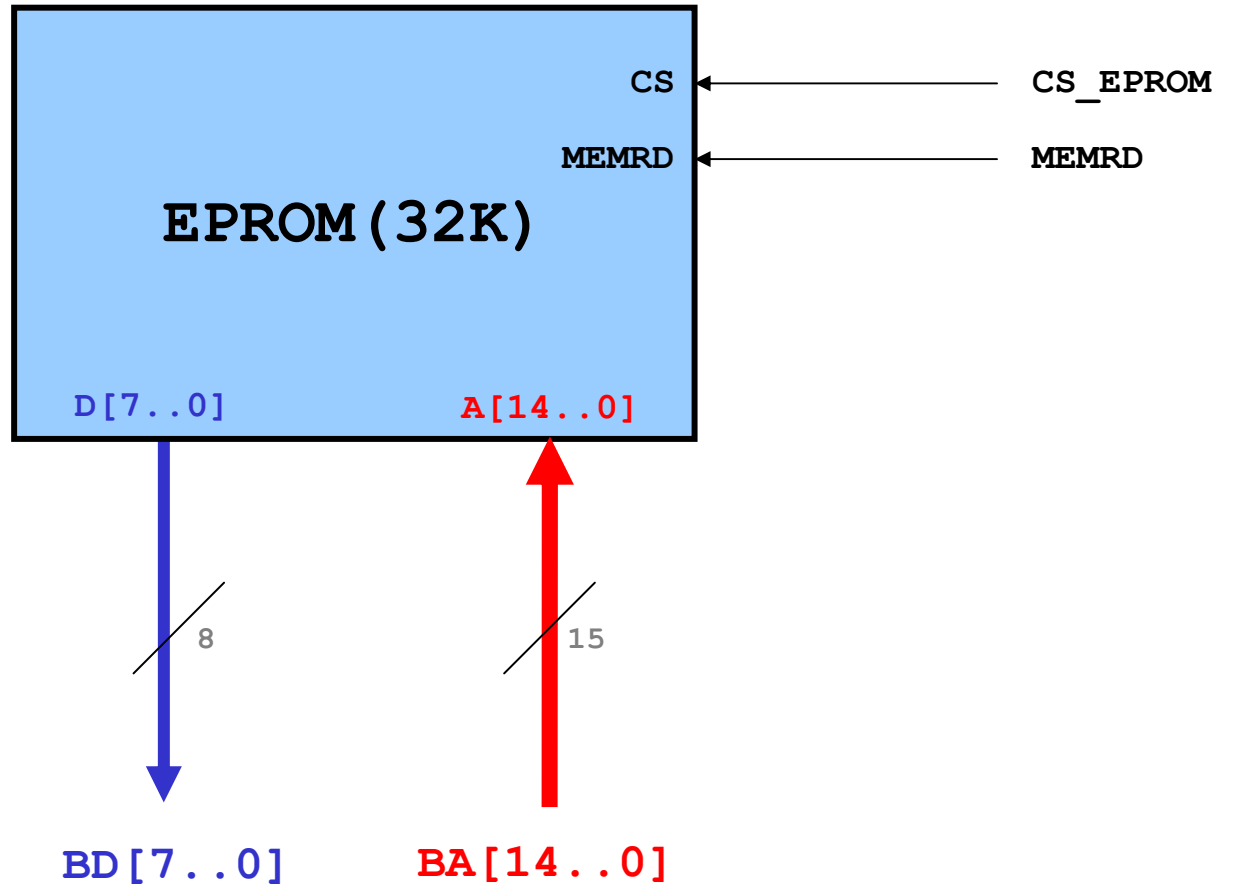
# Interfacciamento memorie e dispositivi di I/O



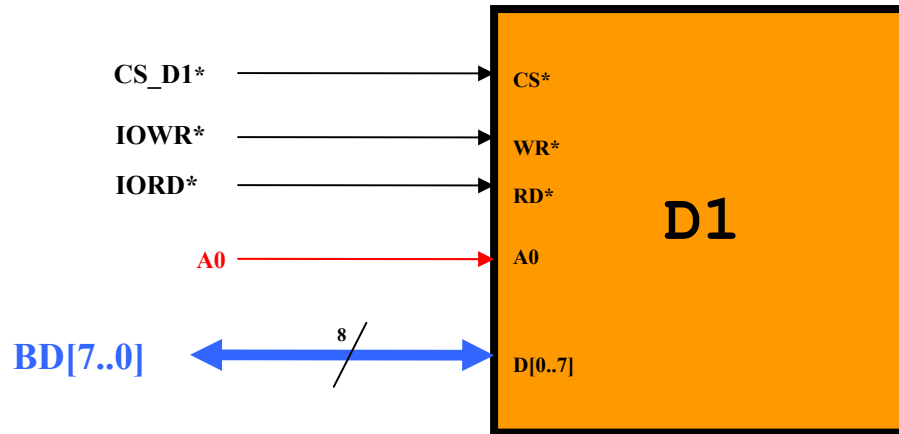
# RAM



# EPROM



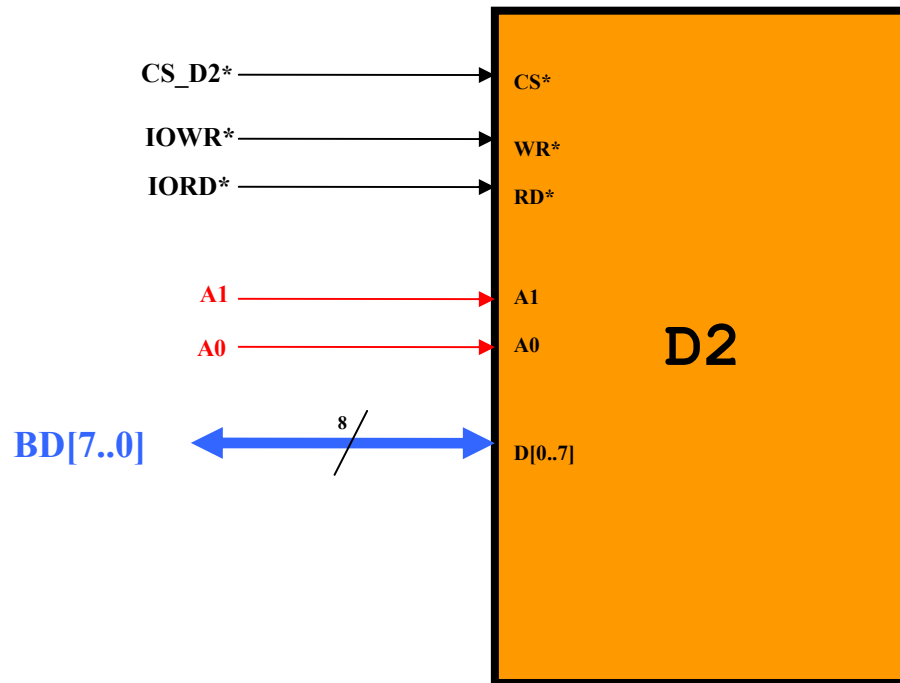
## Dispositivo D1



Essendo la periferica D1 mappata all'indirizzo **2000h** i suoi due registri saranno accessibili ai seguenti indirizzi nello spazio di I/O:

<b>2000h + 0</b>	<b>Registro 0</b>
<b>2000h + 1</b>	<b>Registro 1</b>

## Dispositivo D2



Essendo l'8255 mappato all'indirizzo **1000h** i suoi quattro registri saranno accessibili ai seguenti indirizzi nello spazio di I/O:

1000h + 0	Registro 0
1000h + 1	Registro 1
1000h + 2	Registro 2
1000h + 3	Registro 3

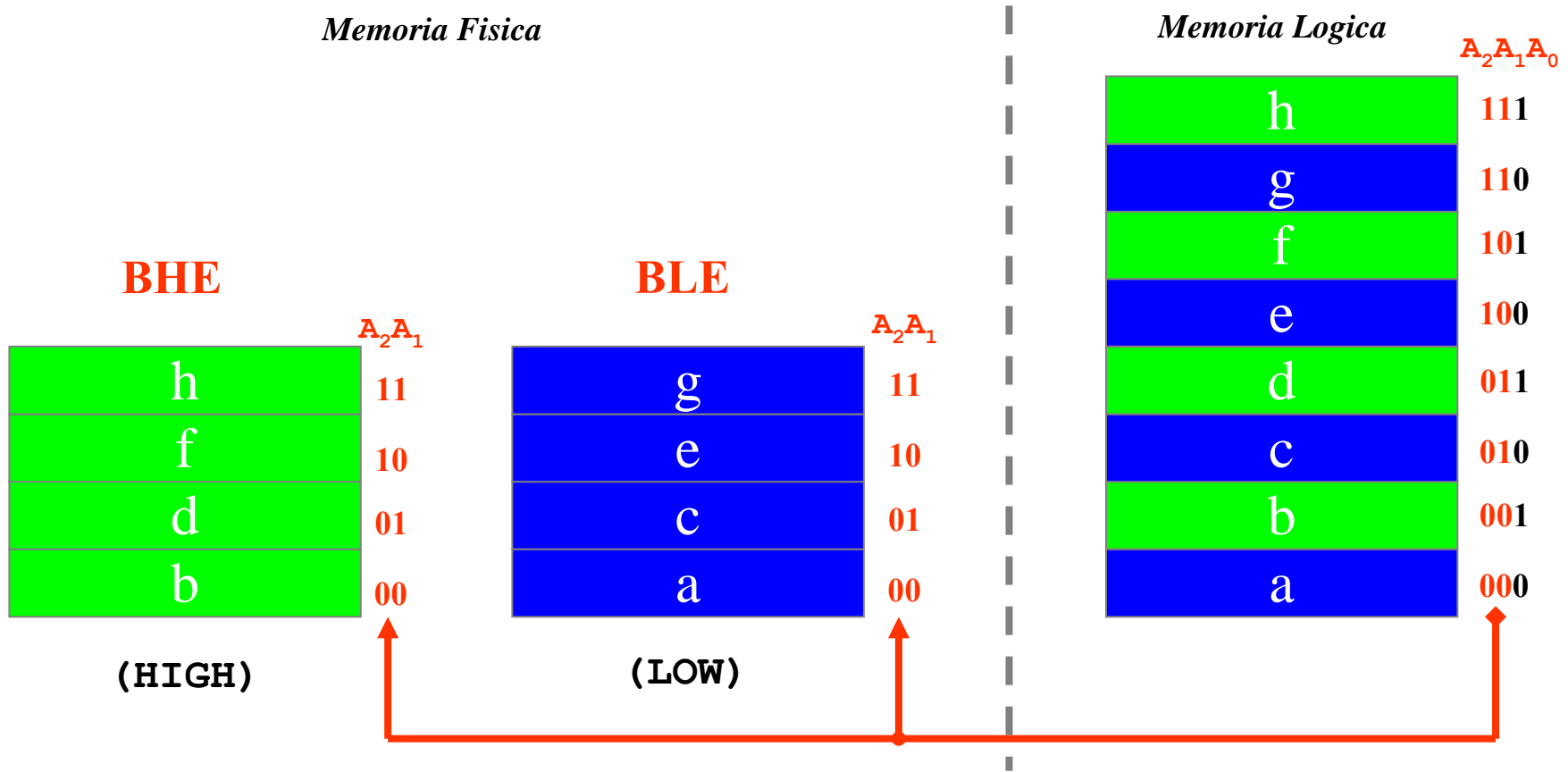
## Esercizio MD-3

Si consideri un sistema basato su un microprocessore con bus dati a 16 bit, bus degli indirizzi a 20 bit e uno spazio di indirizzamento separato per memorie (20 bit) e dispositivi di I/O (16 bit).

Il sistema dispone di **64 KB di RAM** nella parte bassa dello spazio di indirizzamento e **32 KB di EPROM** nella parte alta.

Nel sistema sono inoltre presenti due dispositivi periferici a 8bit **mappati nello spazio di I/O**. Il primo, denominato **D1**, è dotato di due registri interni mentre il secondo dispositivo, denominato **D2**, è dotato di 4 registri interni. I due dispositivi periferici **D1** e **D2** sono mappati sul bus basso, rispettivamente, agli indirizzi **2000h** e **1000h** nello spazio di I/O.

# Processore con parallelismo 16 (caso 8086)



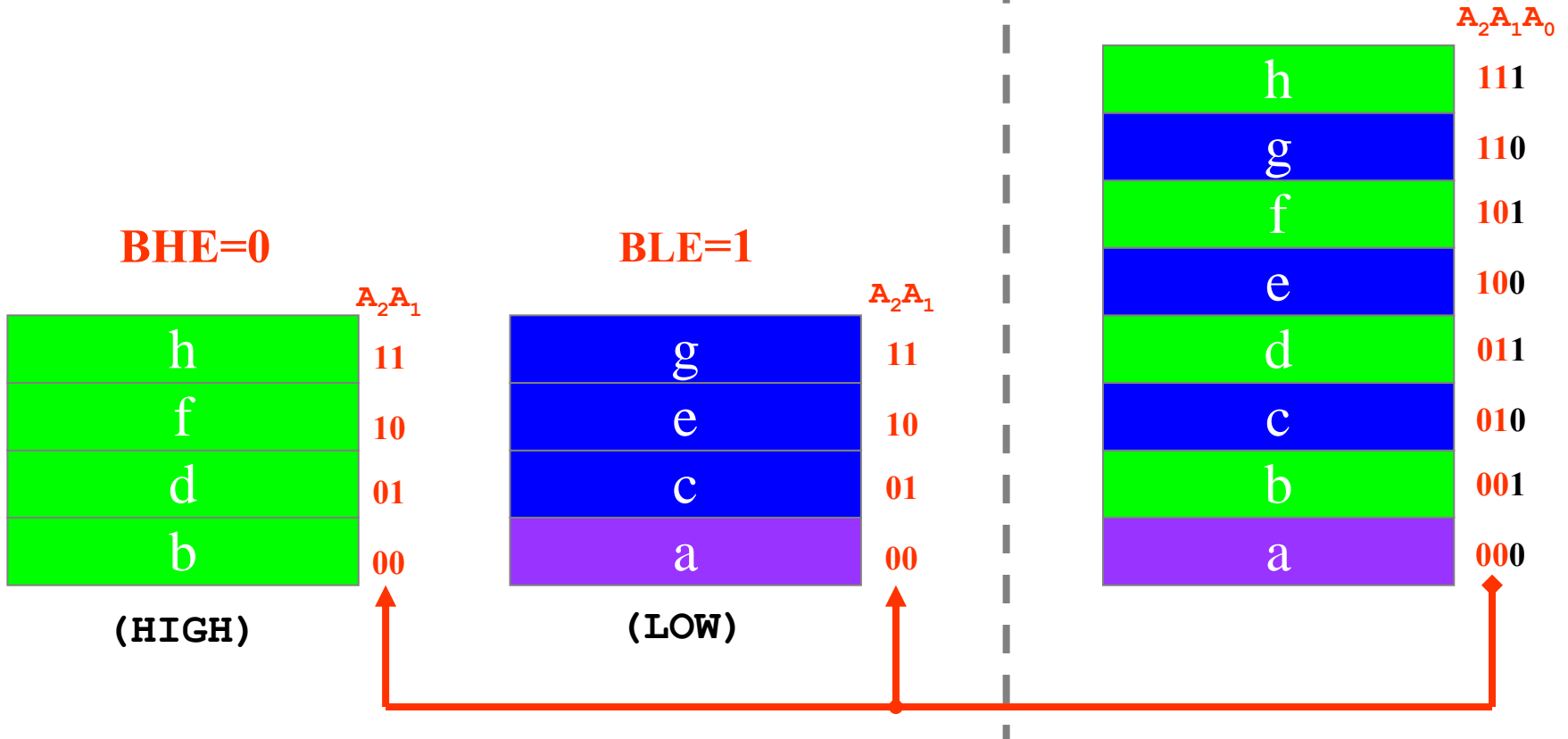
- |              |              |  |
|--------------|--------------|--|
| <b>BHE=0</b> | <b>BLE=1</b> | Accesso ad un byte ad indirizzo pari (LOW)     |
| <b>BHE=1</b> | <b>BLE=1</b> | Accesso ad una word (16 bit) allineata         |
| <b>BHE=1</b> | <b>BLE=0</b> | Accesso ad un byte ad indirizzo dispari (HIGH) |
| <b>BHE=0</b> | <b>BLE=0</b> | No access                                      |

# Accesso ad un byte ad indirizzo pari

**BHE=0 BLE=1**

*Memoria Fisica*

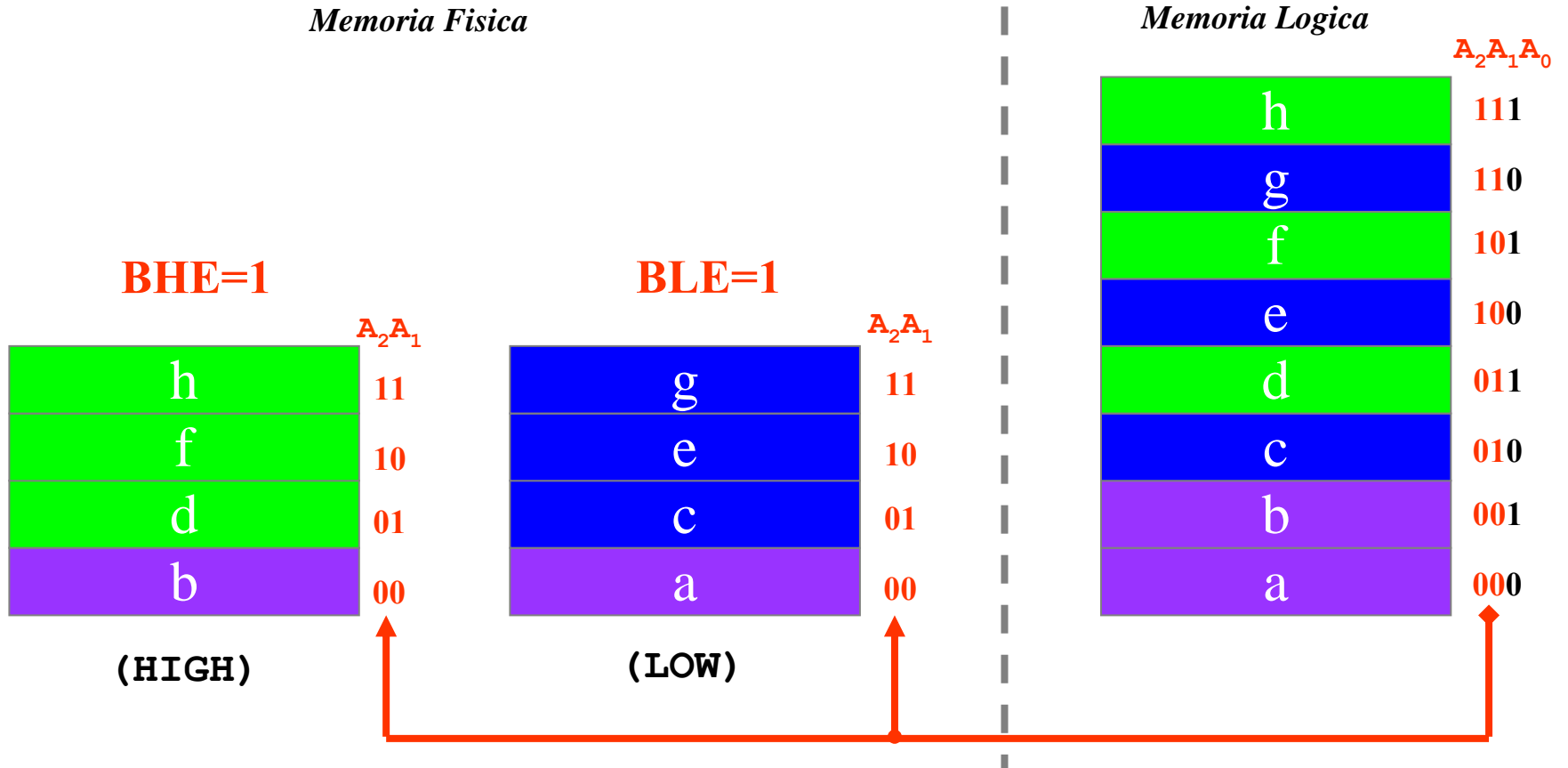
*Memoria Logica*



Esempio 8086: `MOV AL, [2000h]`

# Accesso ad una word (16 bit) allineata

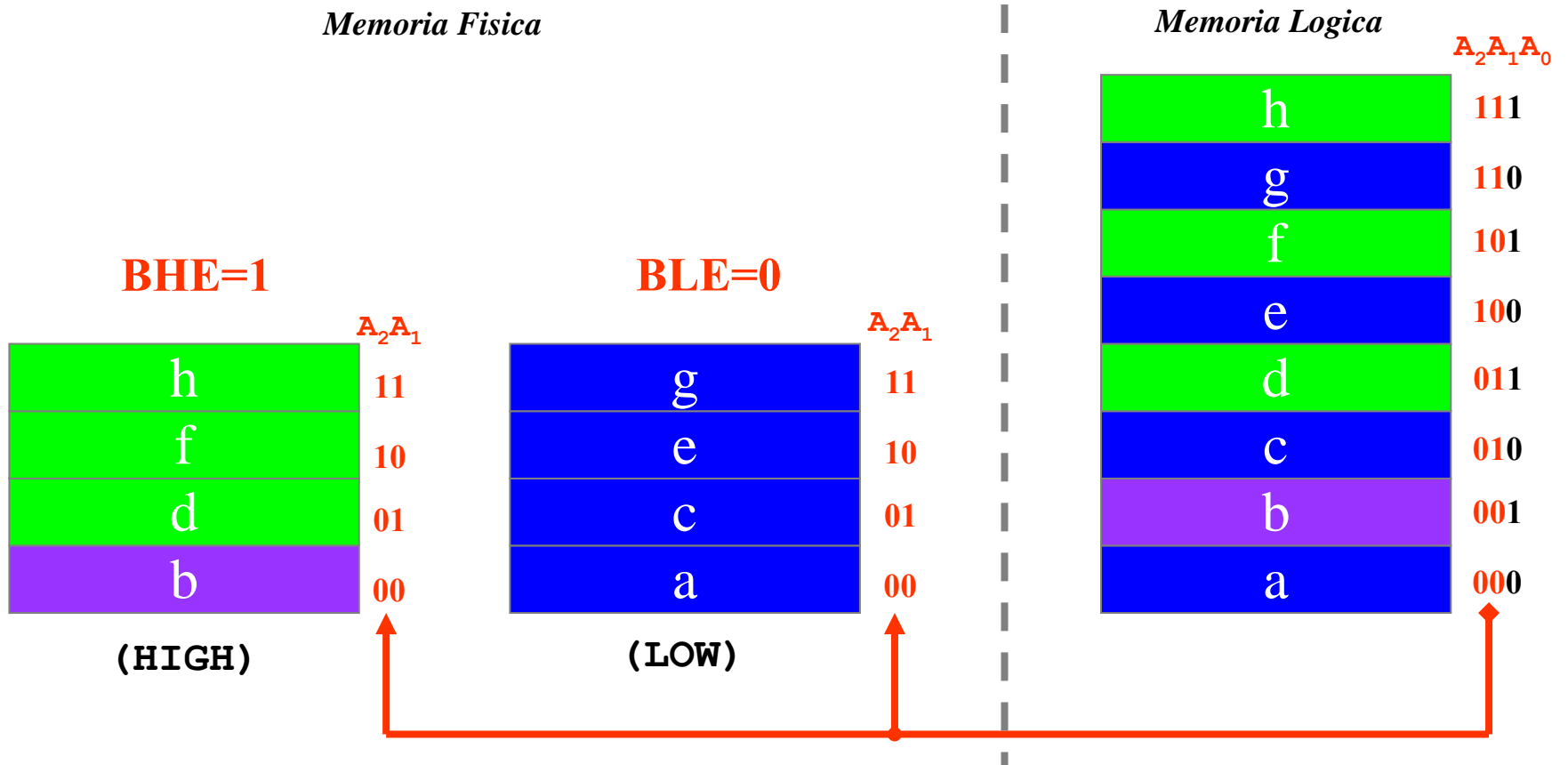
**BHE=1 BLE=1**



Esempio 8086: `MOV AX, [2000h]`

# Accesso ad un byte ad indirizzo dispari (bus alto)

**BHE=1 BLE=0**



**Esempio 8086:      MOV AL, [2001h]**

*Lo scambio byte alto esterno, byte basso registro avviene all'interno del microprocessore*

EPROM: 2 chip da 16KB (F8000h->FFFFFFh)

EPROM\_L

```
1111 1111 1111 1111 1110  
1111 1000 0000 0000 0000
```

EPROM\_H

```
1111 1111 1111 1111 1111  
1111 1000 0000 0000 0001
```

CS\_EPROM\_L = BA19 · BLE

CS\_EPROM\_H = BA19 · BHE

RAM: 2 chip da 32KB (00000h->0FFFFh)

RAM\_L

```
0000 0000 0000 0000 0000  
0000 1111 1111 1111 1110
```

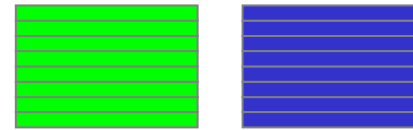
RAM\_H

```
0000 0000 0000 0000 0001  
0000 1111 1111 1111 1111
```

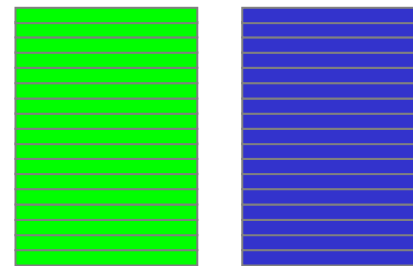
CS\_RAM\_L = BA19\* · BLE

CS\_RAM\_H = BA19\* · BHE

## Memoria Fisica

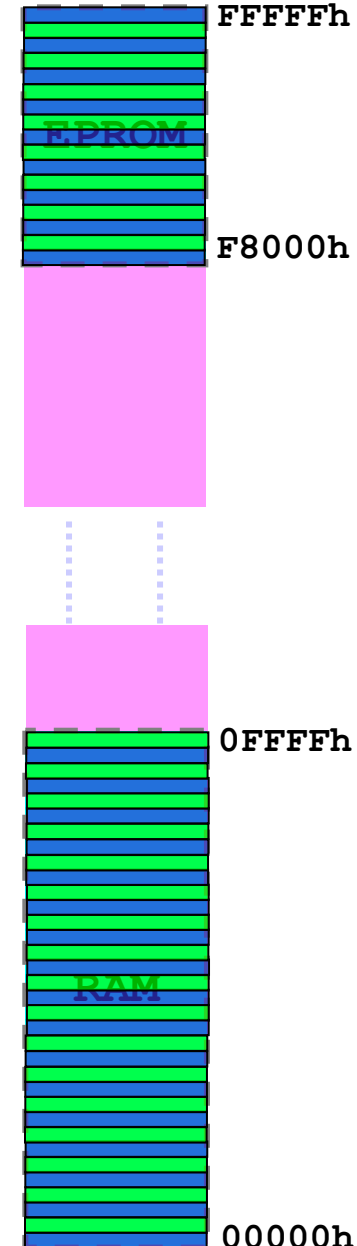


EPROM\_H EPROM\_L



RAM\_H RAM\_L

## Memoria Logica



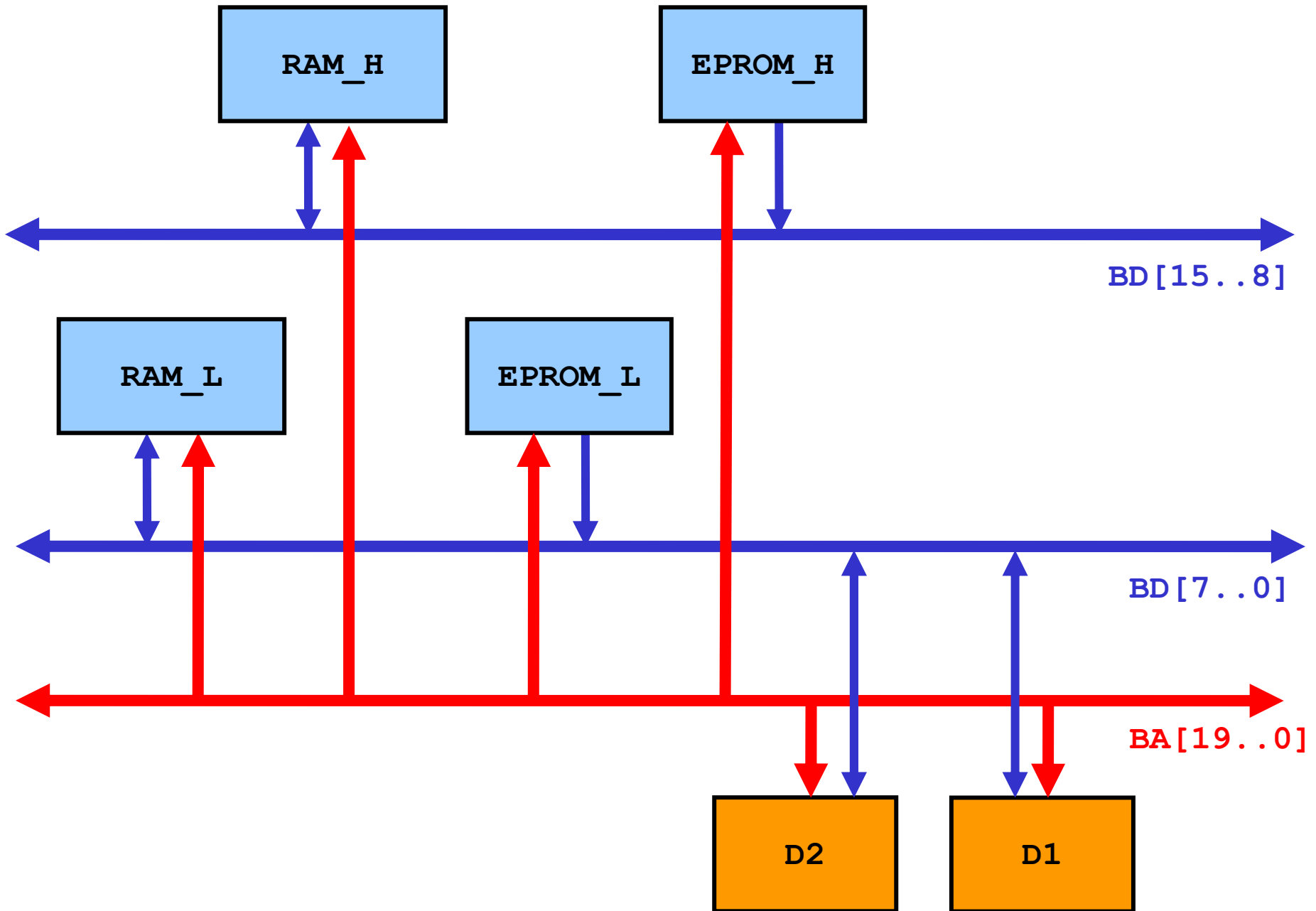
FFFFFFh

F8000h

0FFFFh

00000h

# Interfacciamento memorie e dispositivi di I/O

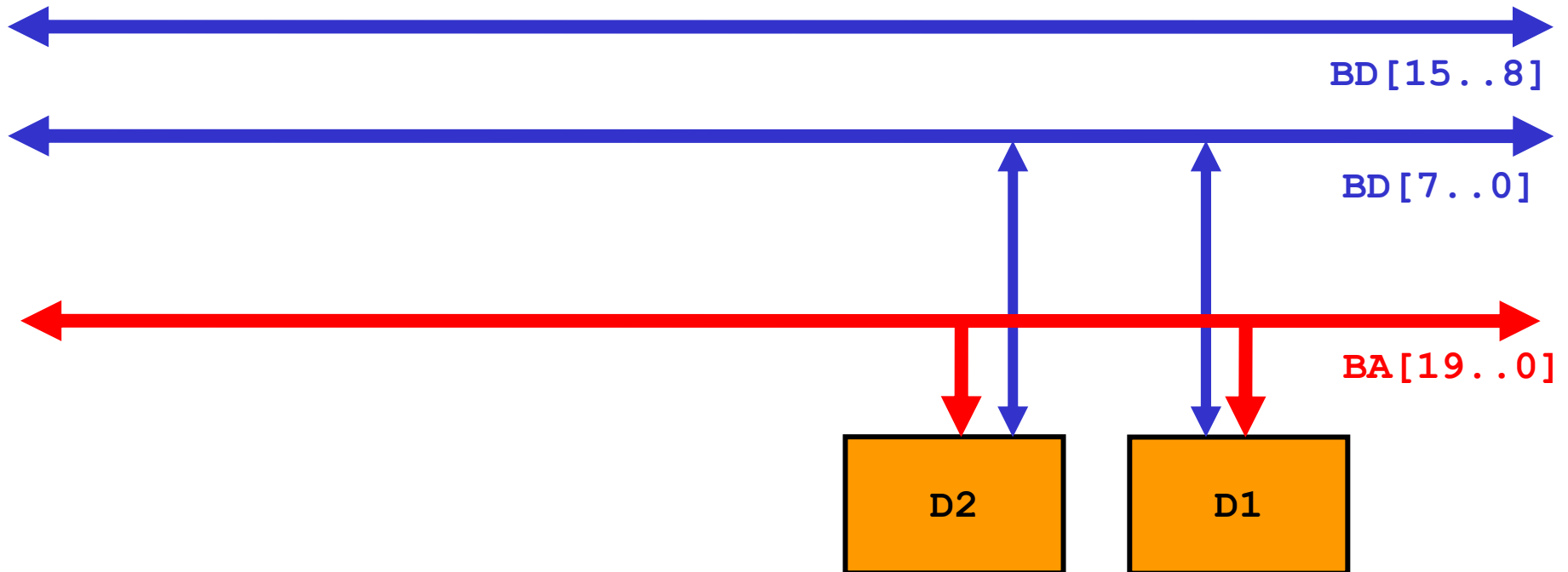


## Dispositivi periferici

Entrambi i dispositivi periferici a 8 bit sono mappati sul bus basso → devono rispondere solo se viene emesso un indirizzo (I/O) pari



ogni dispositivo occupa il doppio del proprio spazio di indirizzamento



**D1:** Mappato nello spazio di I/O  
all'indirizzo **2000h**, occupa 2 indirizzi

**A1** processore -> **A0** dispositivo

00**1**0 0000 0000 00X-

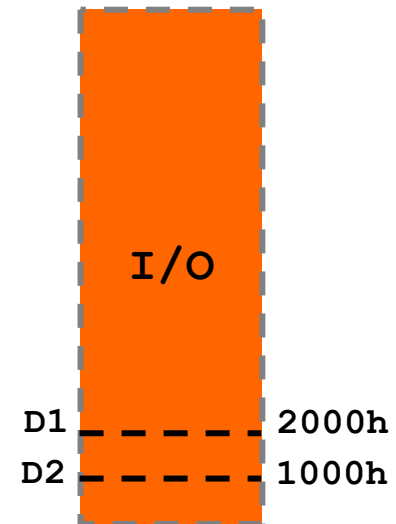
**CS\_D1** = **BA13**

**D2:** Mappato nello spazio di I/O  
all'indirizzo **1000h**, occupa 4 indirizzi

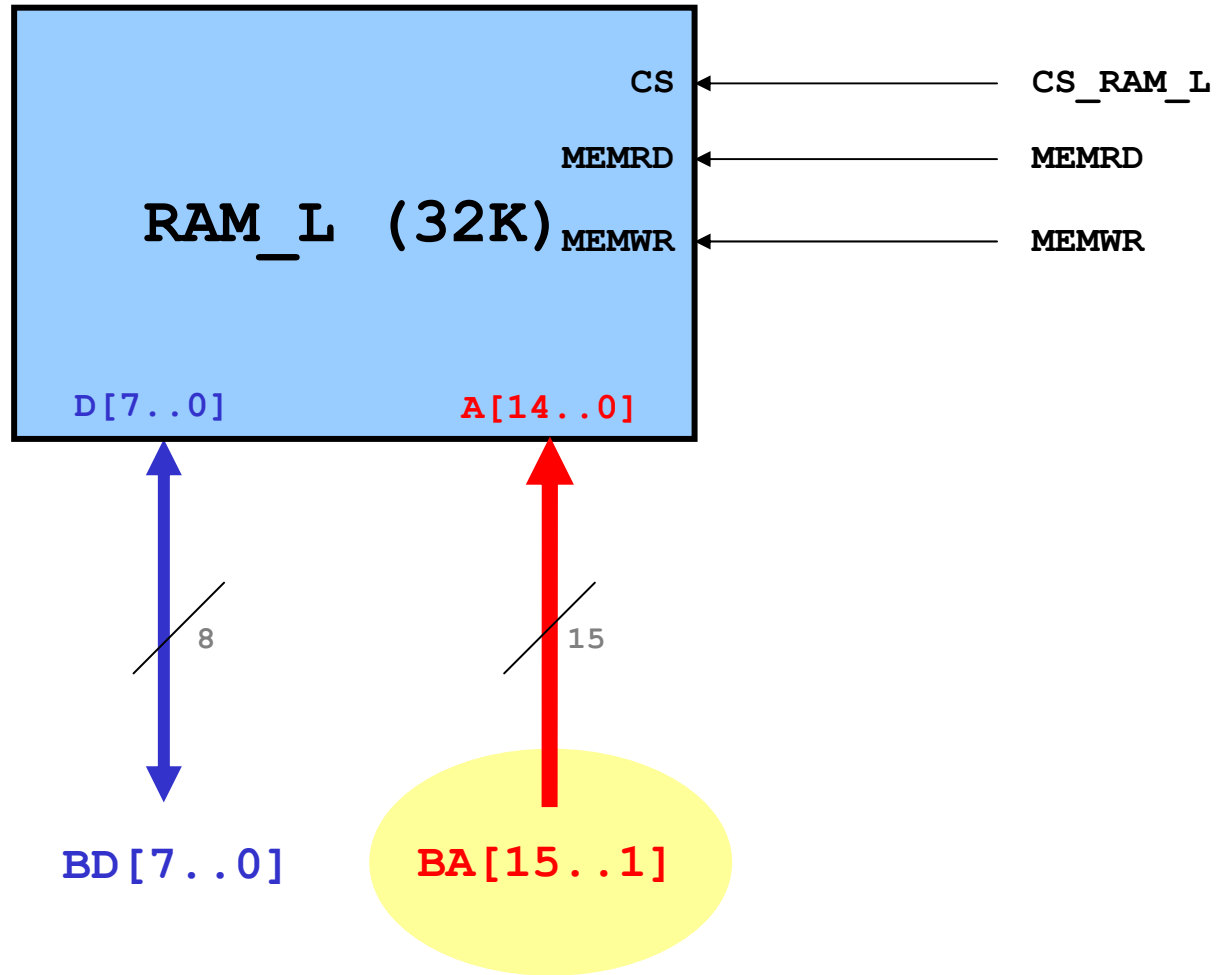
**A2/A1** processore -> **A1/A0** dispositivo

00**0**1 0000 0000 0XX-

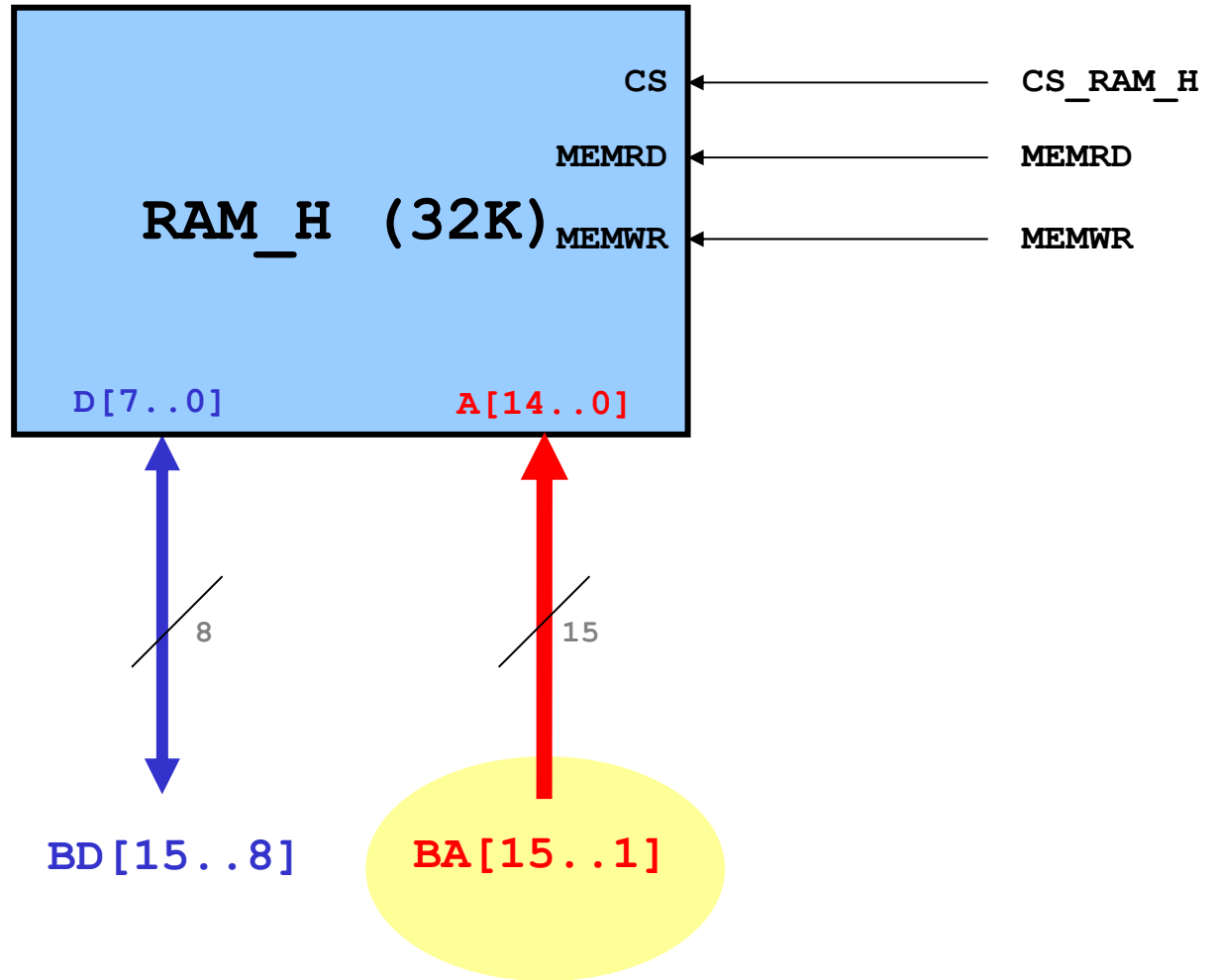
**CS\_D2** = **BA13\***



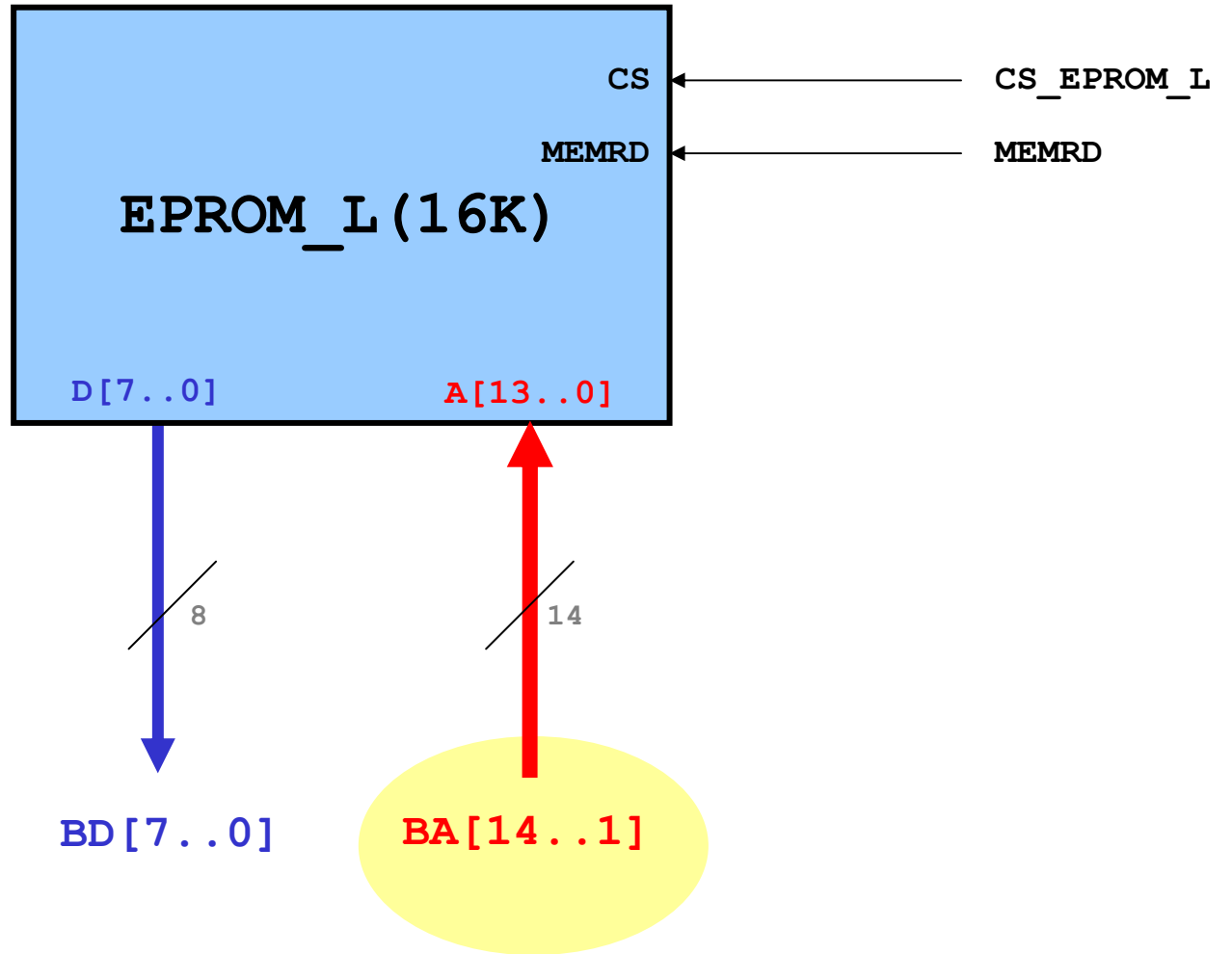
# RAM\_L



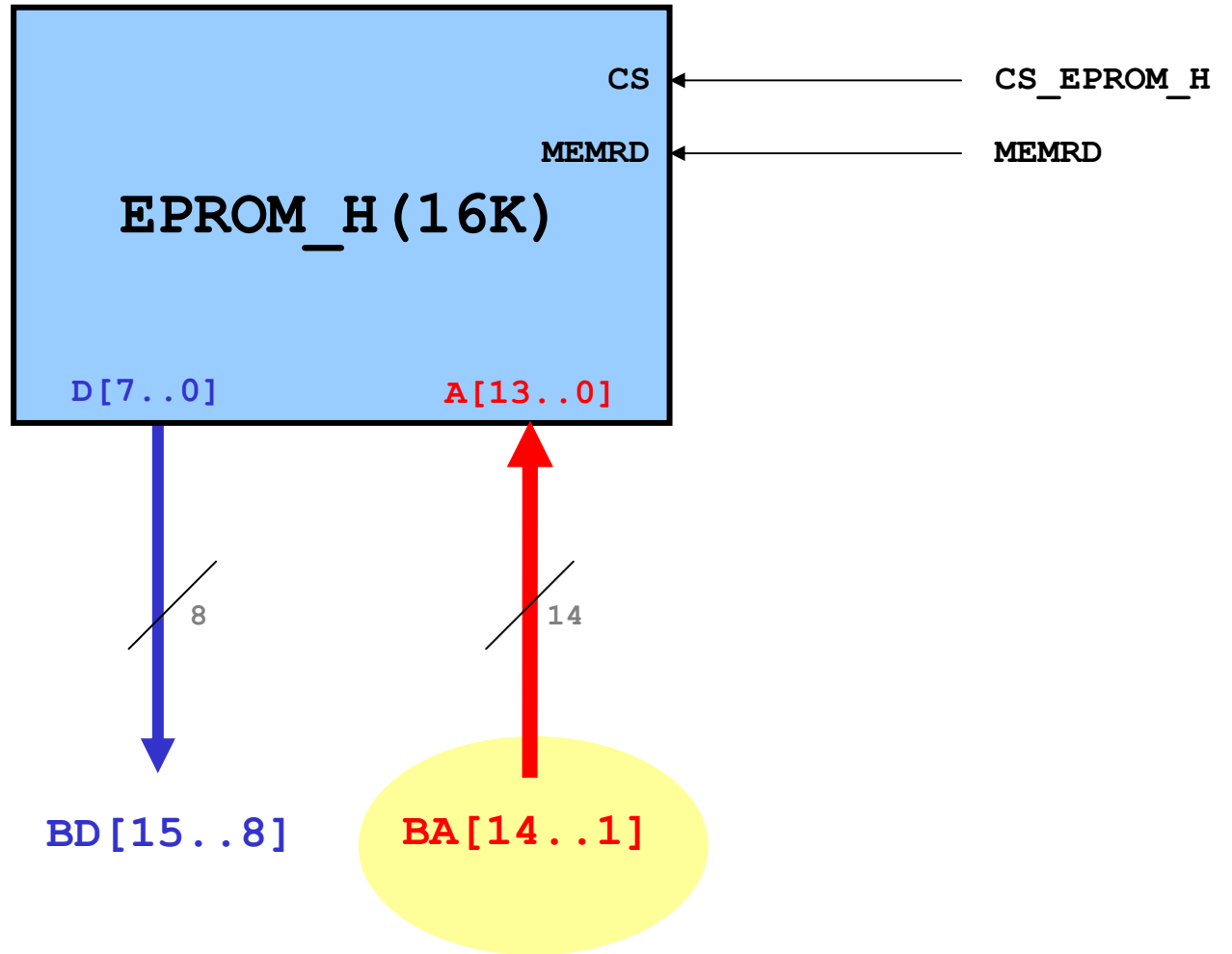
# RAM\_H



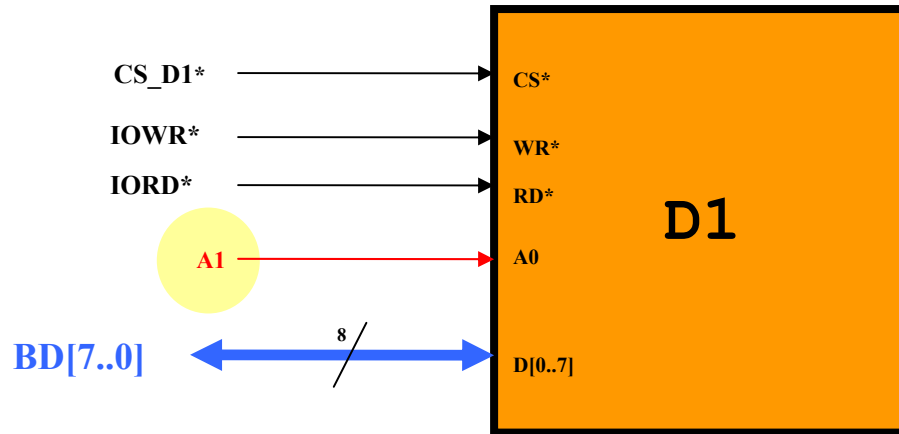
# EPROM\_L



# EPROM\_H



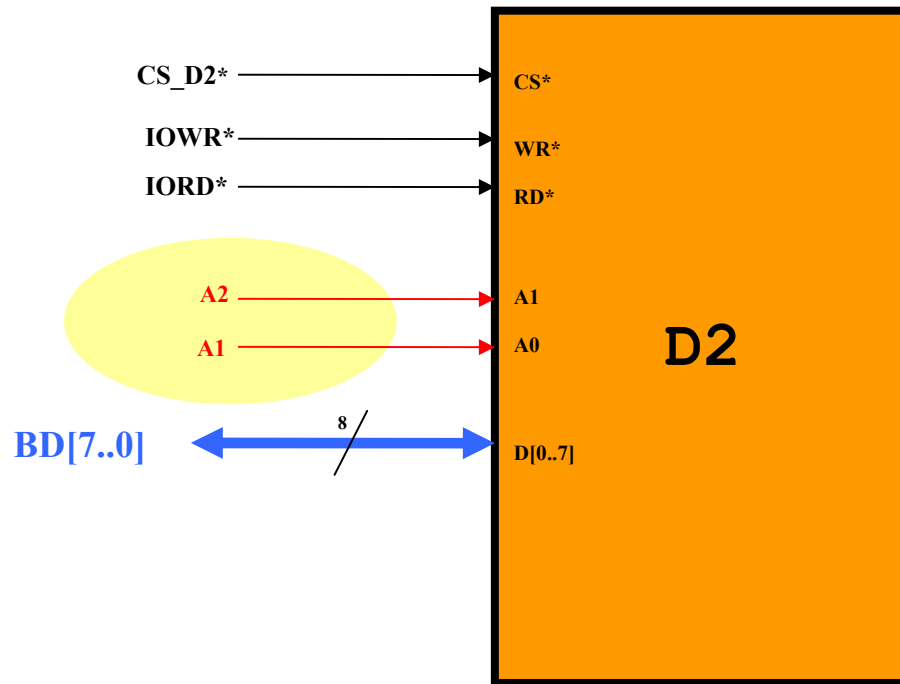
# Dispositivo D1



Essendo la periferica D1 mappata all'indirizzo **2000h** i suoi due registri saranno accessibili ai seguenti indirizzi nello spazio di I/O:

<b>2000h + 0</b>	<b>Byte L</b>
<b>2000h + 2</b>	<b>Byte H</b>

## Dispositivo D2



Essendo **D2** mappato sul bus basso all'indirizzo **1000h** i suoi quattro registri saranno accessibili ai seguenti indirizzi nello spazio di I/O:

1000h + 0	Registro 0
1000h + 2	Registro 1
1000h + 4	Registro 2
1000h + 6	Registro 3

## Esercizio MD-4

Si consideri un sistema basato su un microprocessore con **bus dati a 16 bit**, **bus degli indirizzi a 20 bit** e uno **spazio di indirizzamento separato per memorie (20 bit)** e **dispositivi di I/O (16 bit)**.

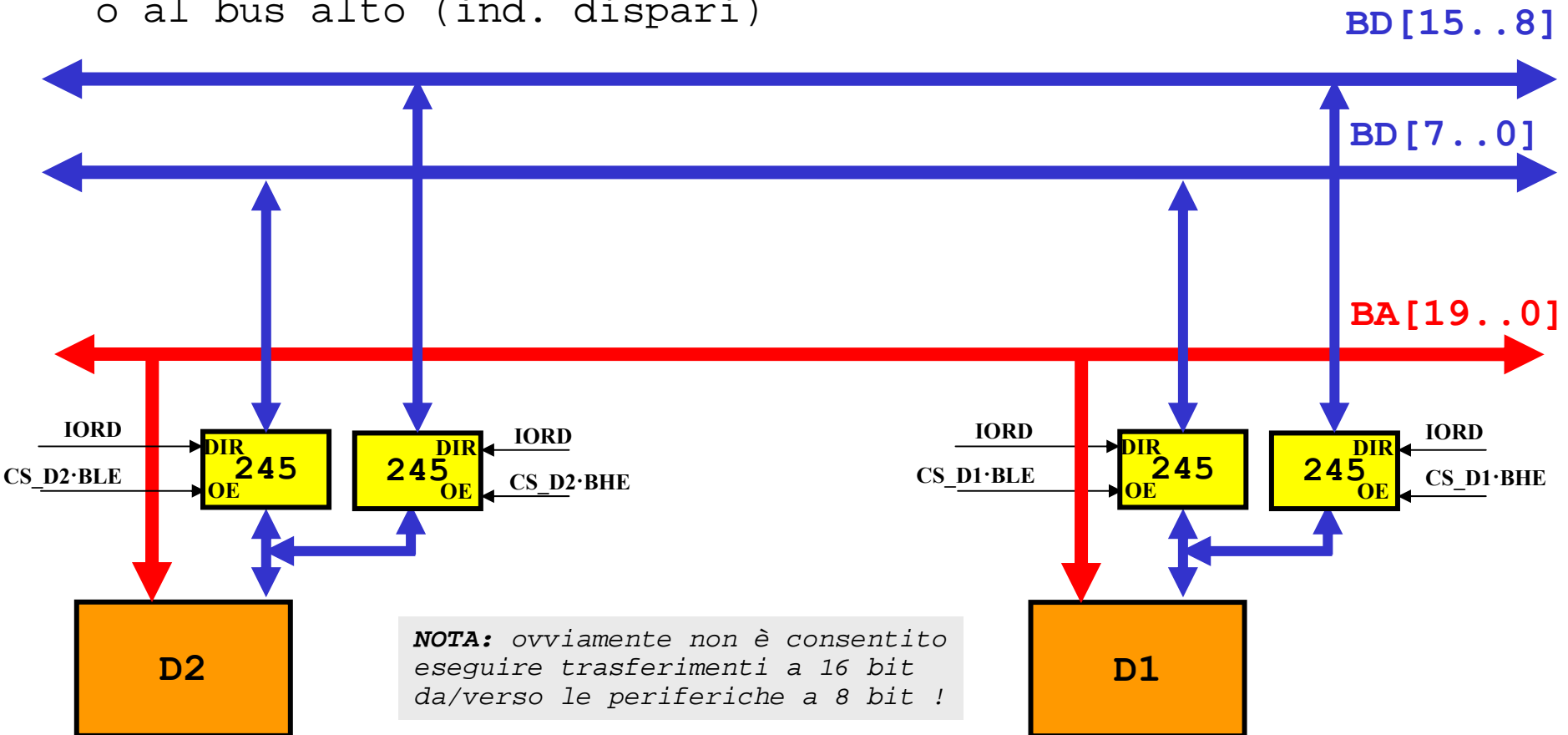
Il sistema dispone di **64 KB di RAM nella parte bassa** dello spazio di indirizzamento e **32 KB di EPROM nella parte alta**.

Nel sistema sono inoltre presenti due dispositivi periferici a 8 bit **mappati nello spazio di I/O**. Il primo, denominato **D1**, è un dispositivo dotato di due registri interni mentre il secondo, denominato **D2**, è un dispositivo dotato di 4 registri interni.

I due dispositivi periferici **D1** e **D2** devono essere mappati, rispettivamente, agli indirizzi **2000h** e **1000h** dello spazio di I/O **ad indirizzi consecutivi**.

Per quanto concerne i dispositivi di memoria non è necessario apportare alcuna modifica rispetto al caso dell'esercizio precedente.

Al contrario, dovendo mappare i dispositivi periferici ad indirizzi consecutivi, è necessario utilizzare un bus a parte e connettere alternativamente (per indirizzi consecutivi) le periferiche al bus basso (ind. pari) o al bus alto (ind. dispari)



**D1**: Mappato nello spazio di I/O  
all'indirizzo **2000h**, occupa 2 indirizzi

**A0** processore -> **A0** dispositivo

00**1**0 0000 0000 000X

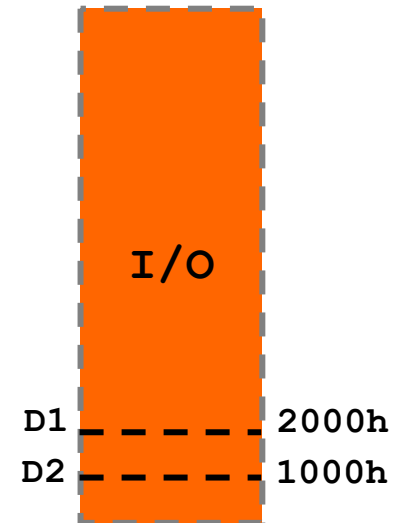
**CS\_D1** = **BA13**

**D2**: Mappato nello spazio di I/O  
all'indirizzo **1000h**, occupa 4 indirizzi

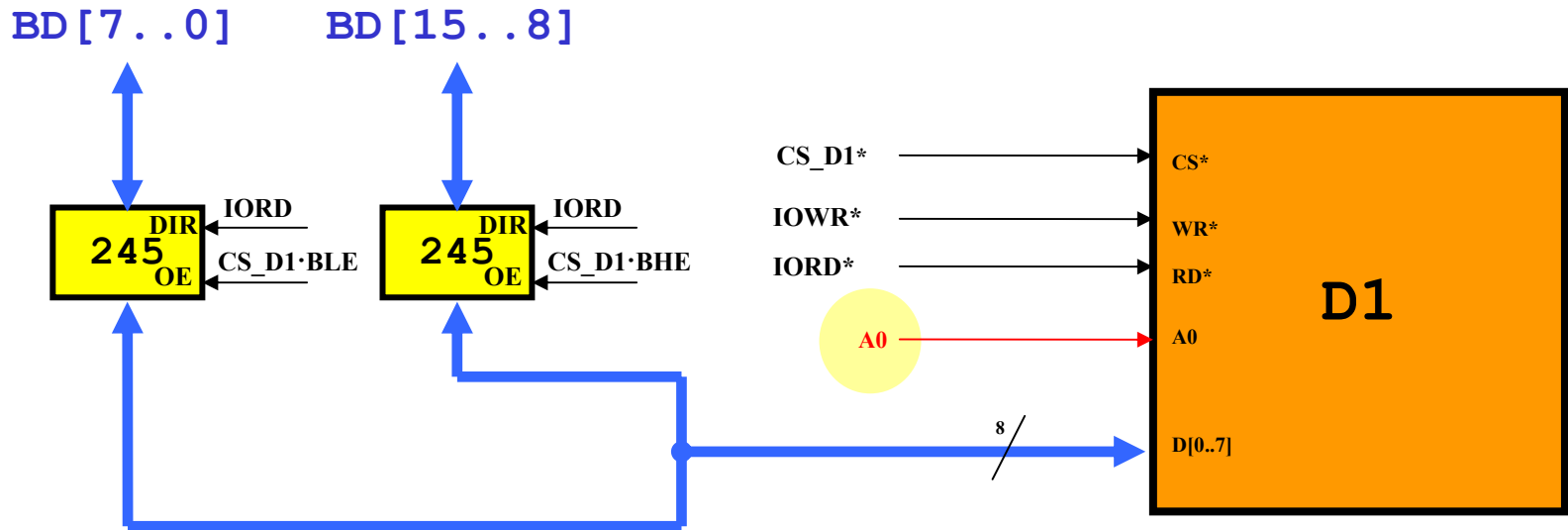
**A1/A0** processore -> **A1/A0** dispositivo

00**0**1 0000 0000 00XX

**CS\_D2** = **BA13\***



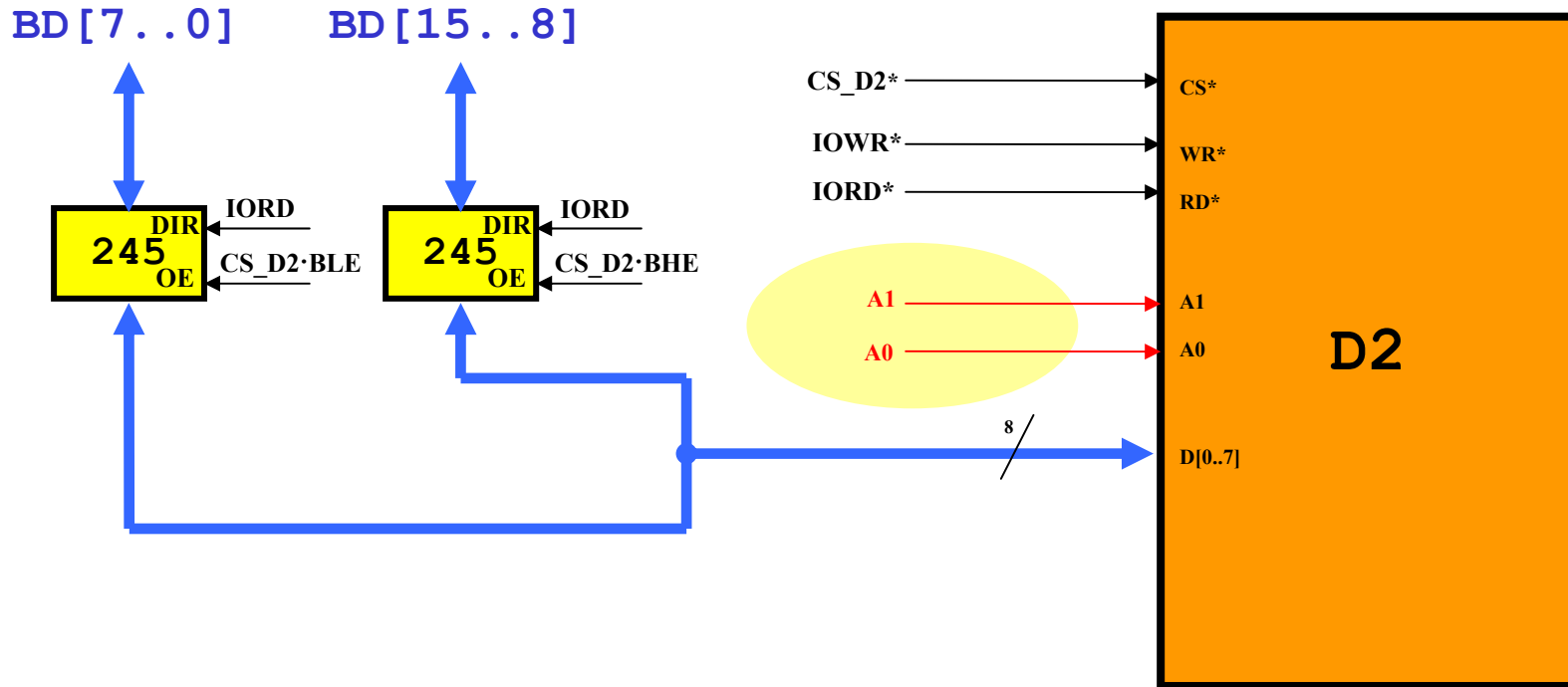
# Dispositivo D1



Essendo la periferica D1 mappata all'indirizzo **2000h** ad indirizzi consecutivi i suoi due registri saranno accessibili ai seguenti indirizzi nello spazio di I/O:

**2000h + 0**      **Byte L**  
**2000h + 1**      **Byte H**

## Dispositivo D2



Essendo **D2** mappato in **1000h** ad indirizzi consecutivi i suoi quattro registri saranno accessibili ai seguenti indirizzi nello spazio di I/O:

1000h + 0	Registro 0
1000h + 1	Registro 1
1000h + 2	Registro 2
1000h + 3	Registro 3

## Esercizio MD-5

Si consideri un sistema basato su un microprocessore con **bus dati a 8 bit**, **bus degli indirizzi a 20 bit** e uno **spazio di indirizzamento separato per memorie (20 bit)** e **dispositivi di I/O (16 bit)**.

Il sistema dispone di **32 KB di RAM nella parte bassa** dello spazio di indirizzamento e **32 KB di EPROM nella parte alta**.

Nel sistema sono inoltre presenti due dispositivi a 8 bit, denominati **8255\_1** e **8255\_2**, programmati con le porte in OUTPUT modo 0 e **mappati nello spazio di I/O**.

Allorché viene effettuata una scrittura sulla **porta A** dell'**8255\_1** il dato deve essere **contemporaneamente** inviato anche alla porta **B** dell'**8255\_2**.

**EPROM:** 1 chip da 32KB (F8000h - FFFFFh)

```
1111 1111 1111 1111 1111
1111 1000 0000 0000 0000
```

**CS\_EPROM** = **BA19**

**RAM:** 1 chip da 32KB (00000h->07FFFh)

```
0000 0000 0000 0000 0000
0000 0111 1111 1111 1111
```

**CS\_RAM** = **BA19\***

**8255\_1:** Mappato nello spazio di I/O all'indirizzo **0000h**, occupa 4 indirizzi (**A1A0**).

```
0000 0000 0000 00XX
```

**CS\_8255\_1** = **BA4\***

**8255\_2:** Mappato nello spazio di I/O all'indirizzo **0010h**, occupa 4 indirizzi (**A1A0**).

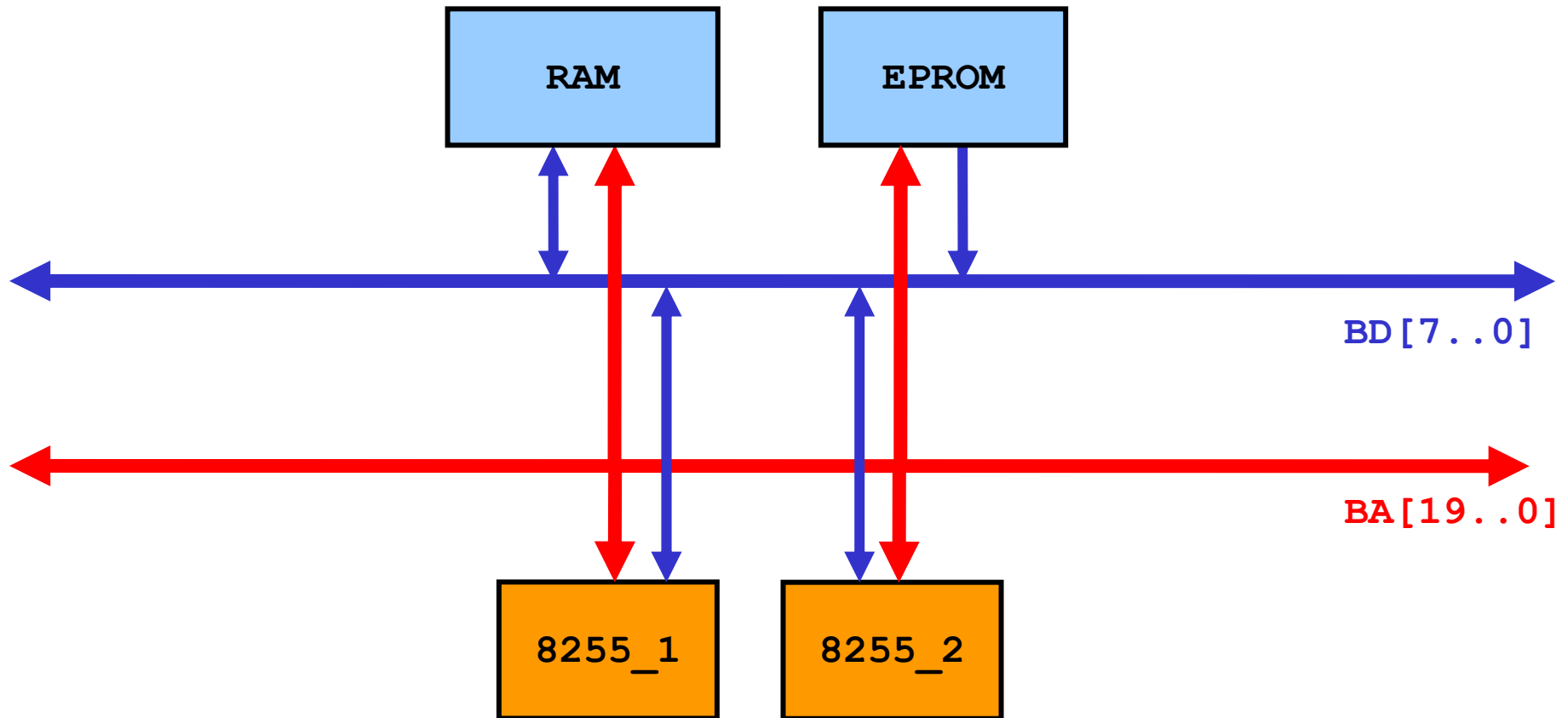
```
0000 0000 0001 00XX
```

**CS\_8255\_2** = **BA4** + **CS\_8255\_1**·**A1**·**A0**·**IOWR**

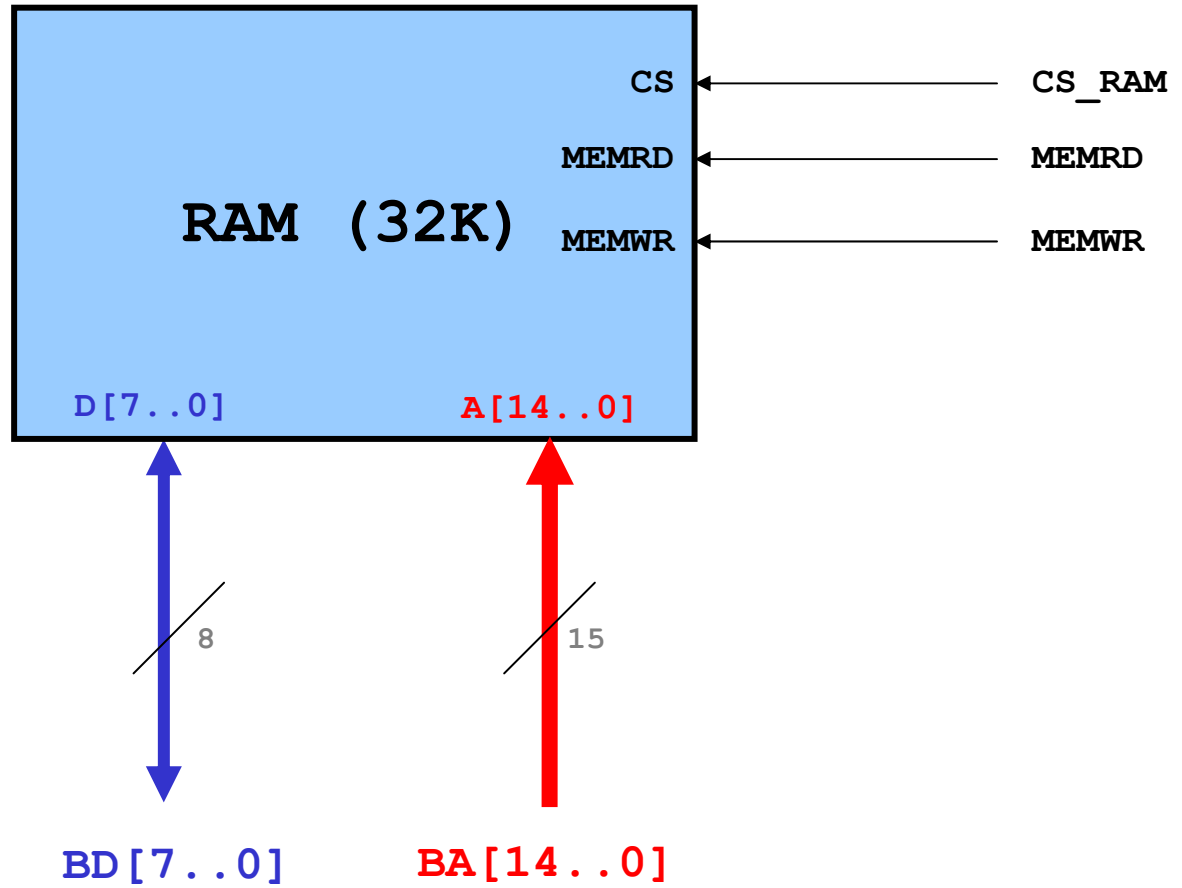
*Non essendo specificato nel testo si sceglie di mappare i dispositivi a **0000h** e **0010H**.*

*Nel caso non siano specificati gli indirizzi da utilizzare: come conviene sceglierli ?*

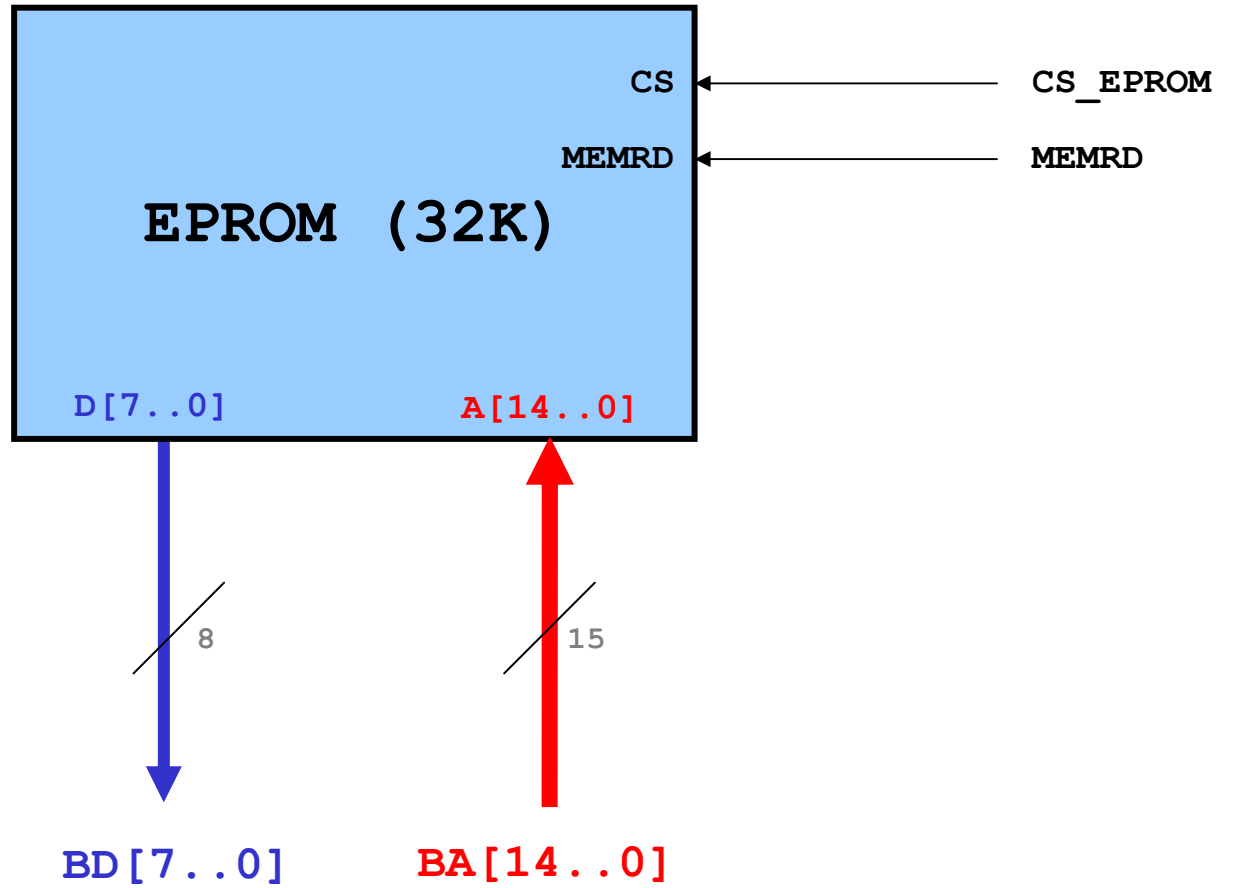
# Interfacciamento memorie e dispositivi di I/O



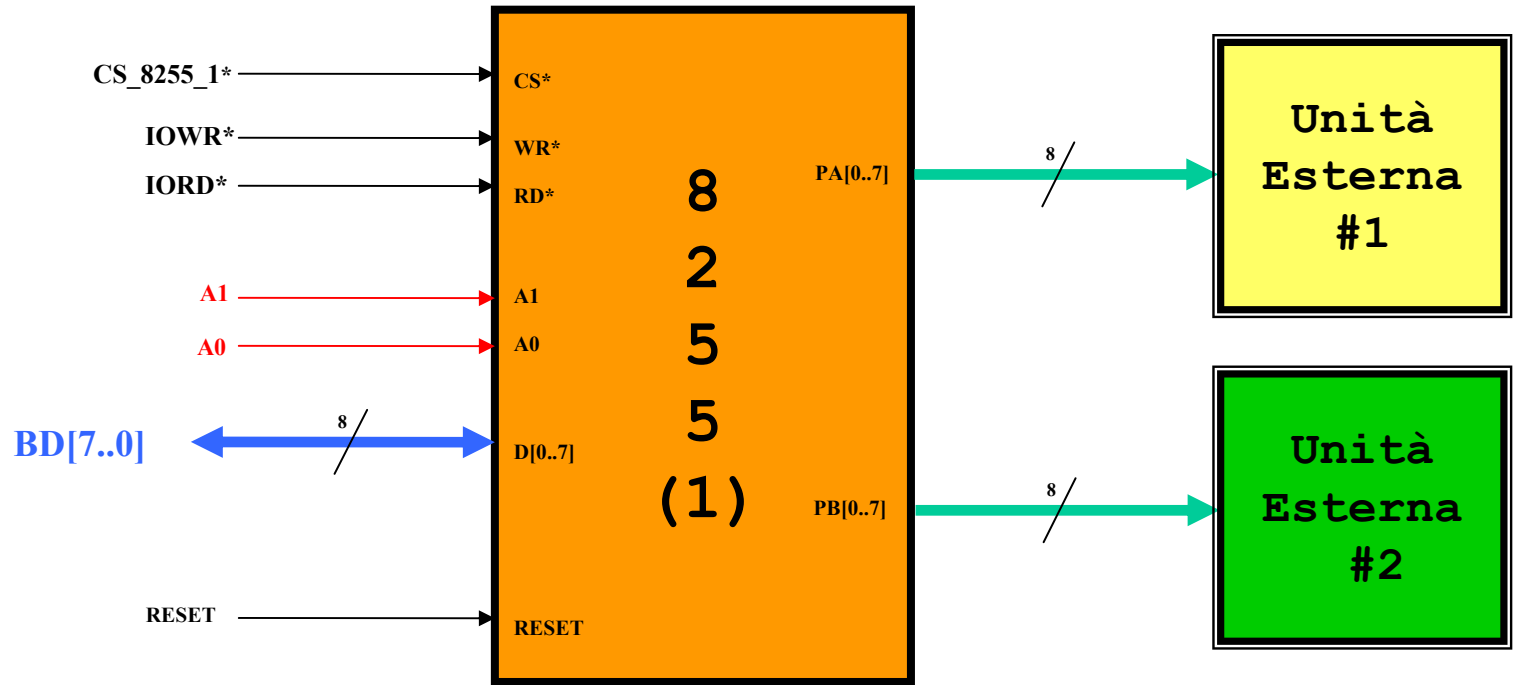
# RAM



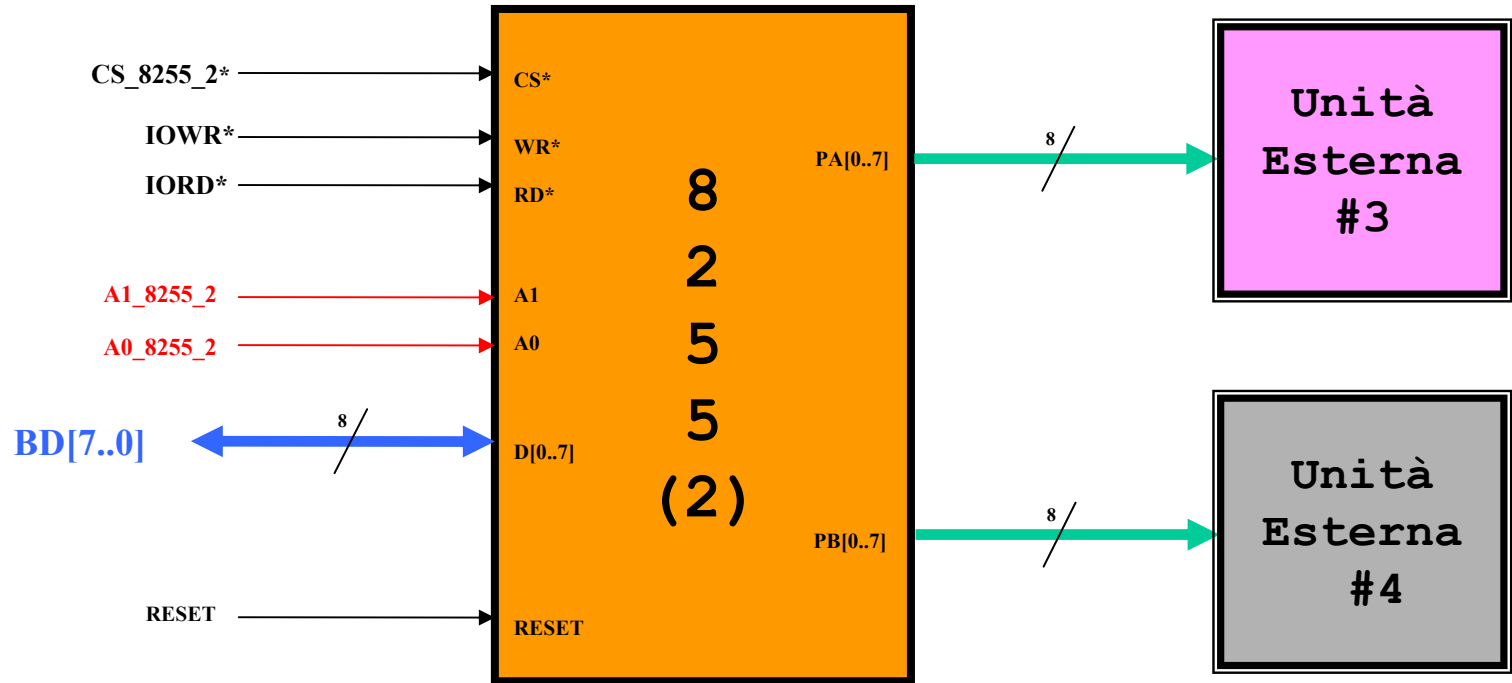
# EPROM



# 8255\_1



## 8255\_2



Durante le scritture sulla porta A ( $A1A0=00$ ) di 8255\_1 è necessario scrivere sulla porta B ( $A1A0=01$ ) di 8255\_2,

$$A0_{8255\_2} = A0 \cdot (CS_{8255\_1} \cdot A1 \cdot A0^* \cdot IOWR) + 1 \cdot (CS_{8255\_1} \cdot A1 \cdot A0^* \cdot IOWR) = A0 + (CS_{8255\_1} \cdot A1 \cdot A0^* \cdot IOWR) \quad ab^* + b = a + b !!!$$

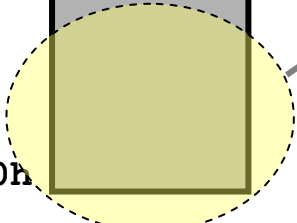
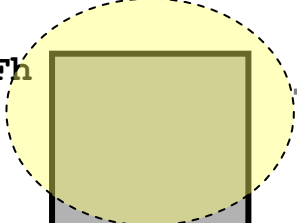
$$A1_{8255\_2} = A1$$

## Esercizio MD-6

Un sistema basato sul microprocessore **DLX** dispone di **32 KB** di **RAM nella parte bassa** dello spazio di indirizzamento, **256 KB** di **EPROM mappati all'indirizzo 128 K** e **256 KB** di **EPROM nella parte alta** dello spazio di indirizzamento.

FFFFFFFFh

4 X 64KB EPROM\_H  
(Vedi pagine successive)



00000000h

64K

00080000h

64K

0007FFFFh

64K

00070000h

0006FFFFh

64K

00060000h

0005FFFFh

64K

00050000h

0004FFFFh

64K

00040000h

0003FFFFh

64K

00030000h

0002FFFFh

64K

00020000h

0001FFFFh

64K

00010000h

0000FFFFh

64K

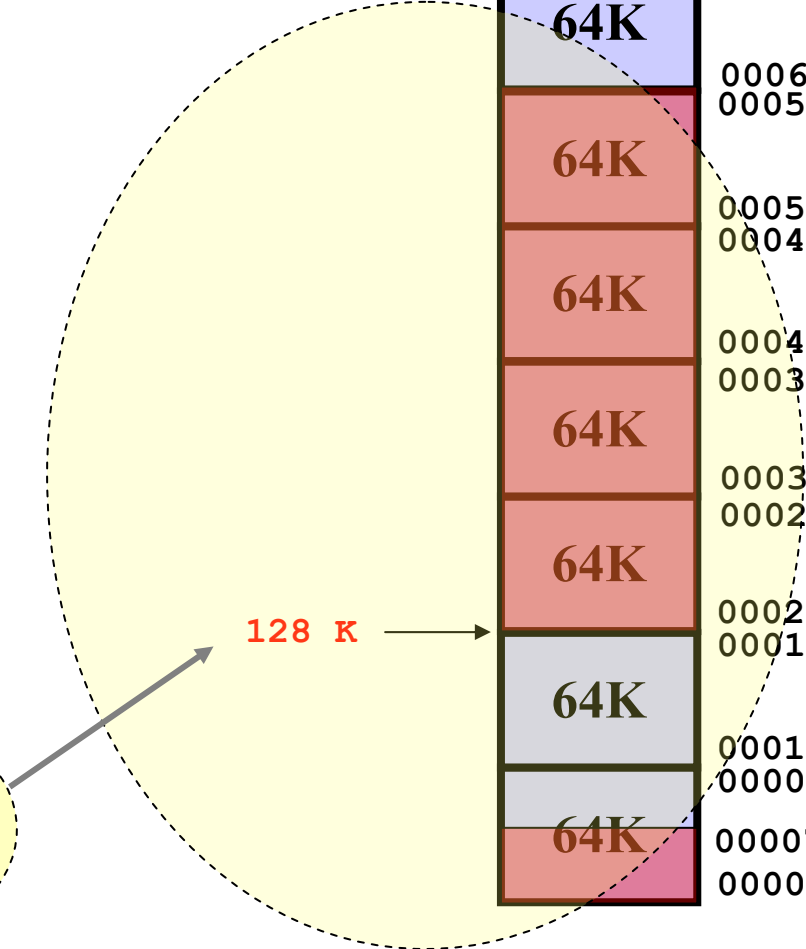
00007FFFh

00000000h

128 K

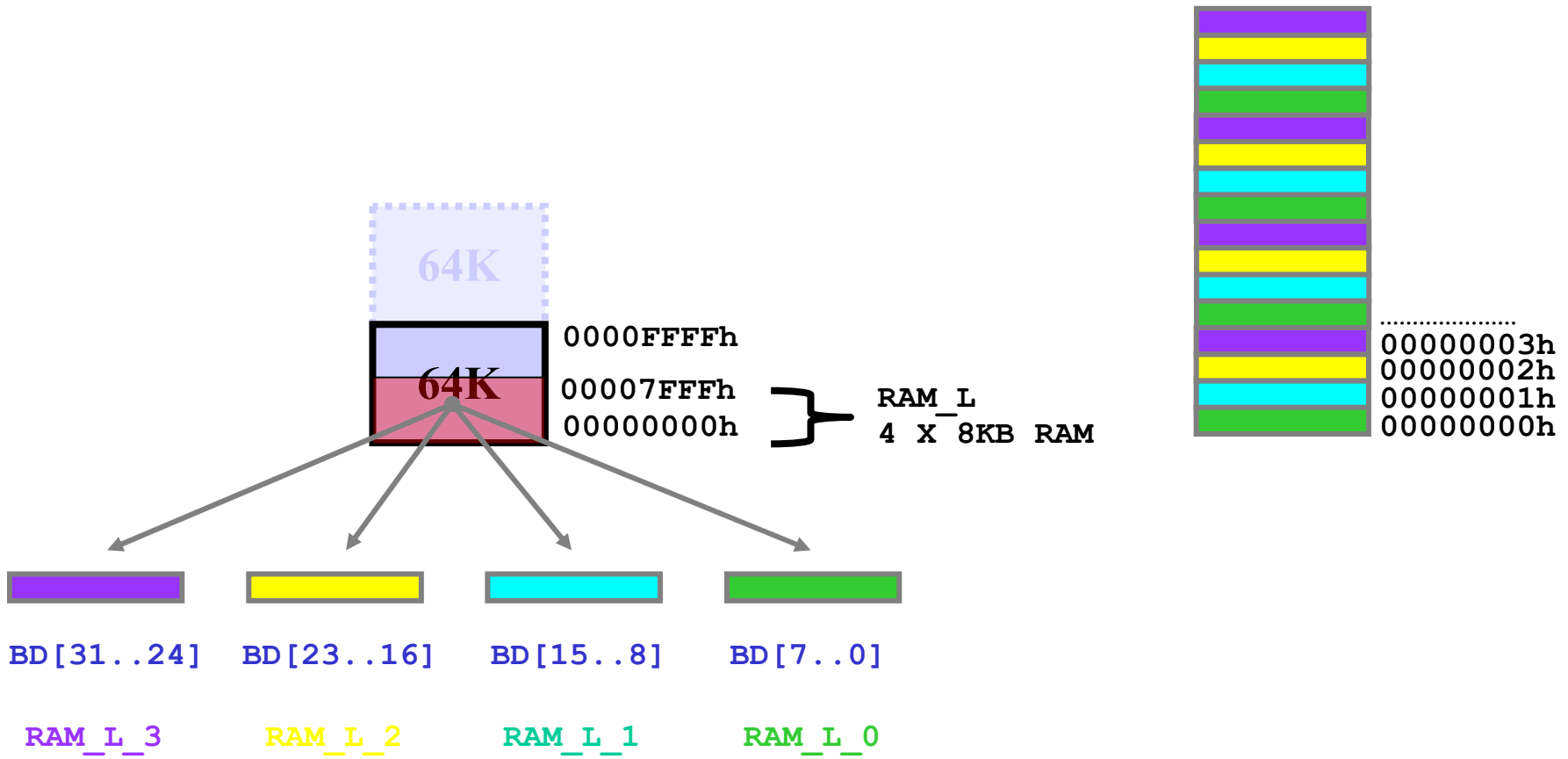
4 X 64KB EPROM\_L  
mappata a 128 K

4 X 8KB RAM



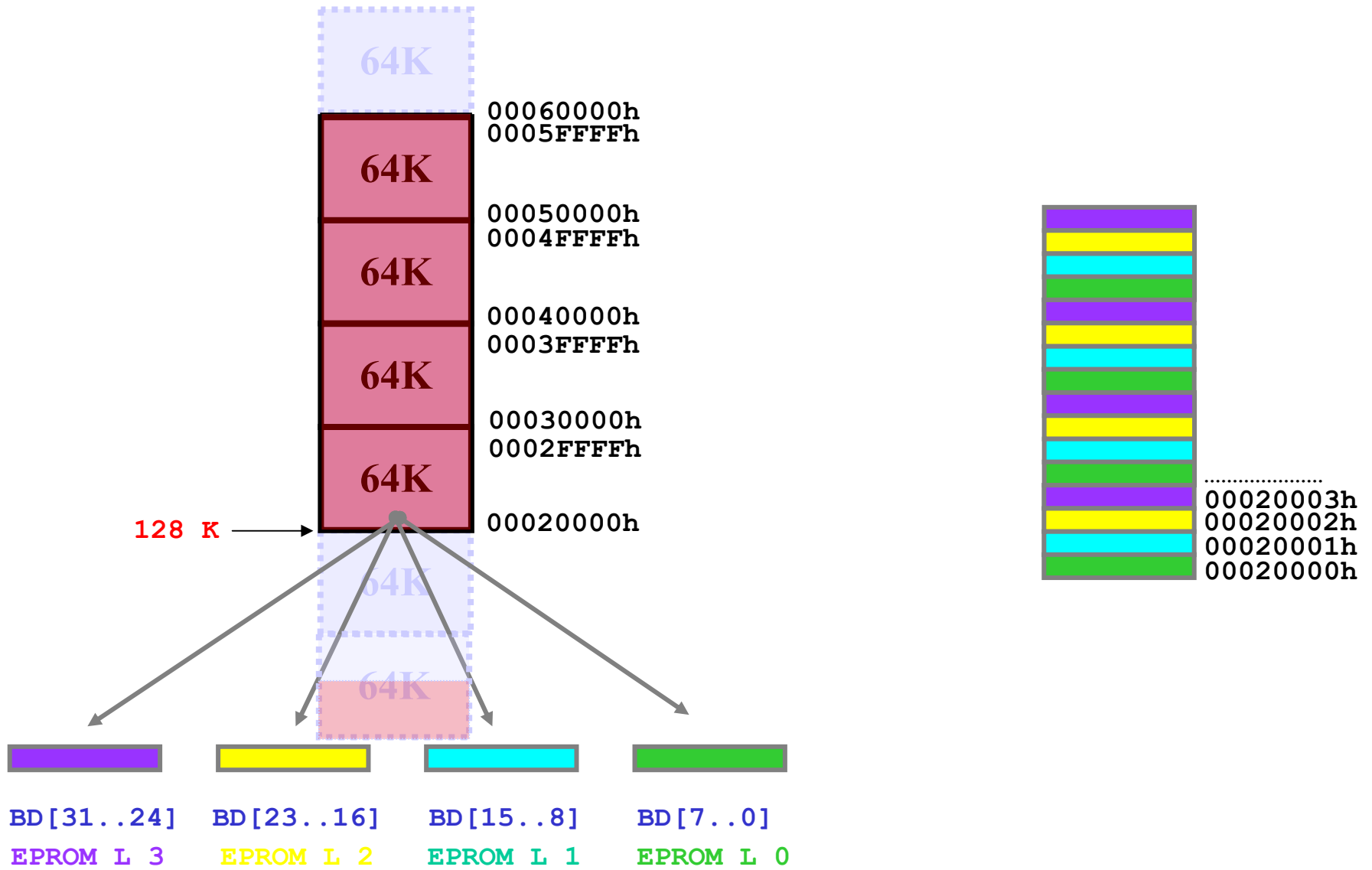
# RAM (00000000h -> 00007FFFh)

La RAM da 32 KB, mappata all'indirizzo 00000000h, è implementata mediante 4 chip di RAM da 8 KB (denominati RAM\_L\_0, RAM\_L\_1, RAM\_L\_2 e RAM\_L\_3).



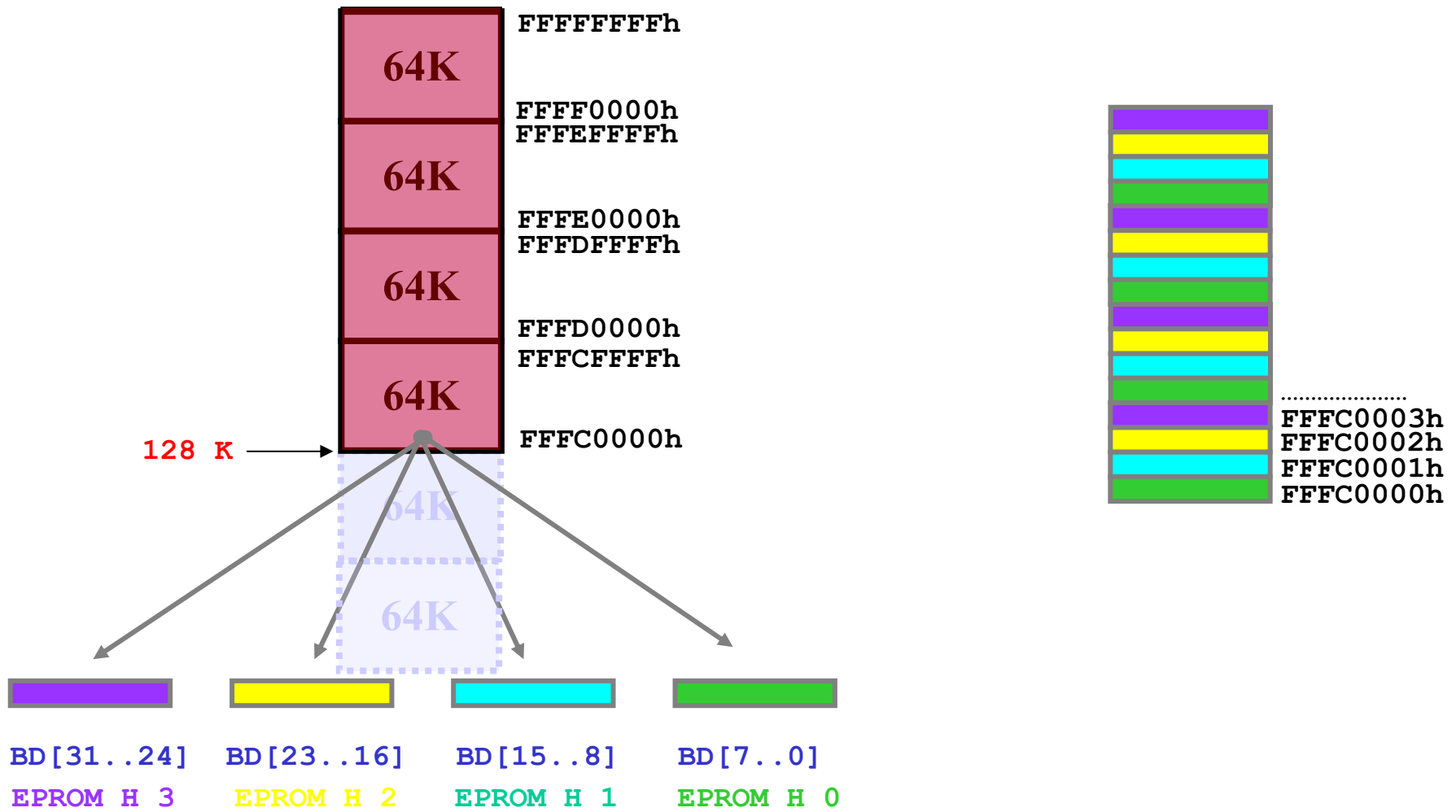
# EPROM\_L (00020000h -> 0005FFFFh)

La **EPPROM** da 256 KB, denominata **EPROM\_L** e mappata all'indirizzo 128 K (00020000h) è implementata mediante **4 chip di EPROM da 64 KB** (denominati **EPROM\_L\_0**, **EPROM\_L\_1**, **EPROM\_L\_2** e **EPROM\_L\_3**).



## EPROM\_H (FFFC0000h -> FFFFFFFFh)

La **EPPROM** da 256 KB, denominata **EPROM\_H** e mappata nella parte alta dello spazio di indirizzamento del processore (**FFFC0000h**) è implementata mediante **4 chip di EPROM da 64 KB** (denominati **EPROM\_H\_0**, **EPROM\_H\_1**, **EPROM\_H\_2** e **EPROM\_H\_3**).



## Segnali di decodifica delle memorie

RAM: 0000 0000h -> 0000 7FFFh

CS\_RAM\_0 = BA31\* · (BA18+BA17) \* · BE0

CS\_RAM\_1 = BA31\* · (BA18+BA17) \* · BE1

CS\_RAM\_2 = BA31\* · (BA18+BA17) \* · BE2

CS\_RAM\_3 = BA31\* · (BA18+BA17) \* · BE3

EPROM\_L: 0002 0000h -> 0005 FFFFh

CS\_EPROM\_L\_0 = BA31\* · (BA18+BA17) · BE0

CS\_EPROM\_L\_1 = BA31\* · (BA18+BA17) · BE1

CS\_EPROM\_L\_2 = BA31\* · (BA18+BA17) · BE2

CS\_EPROM\_L\_3 = BA31\* · (BA18+BA17) · BE3

EPROM\_H: FFFC 0000h -> FFFF FFFFh

CS\_EPROM\_H\_0 = BA31 · BE0

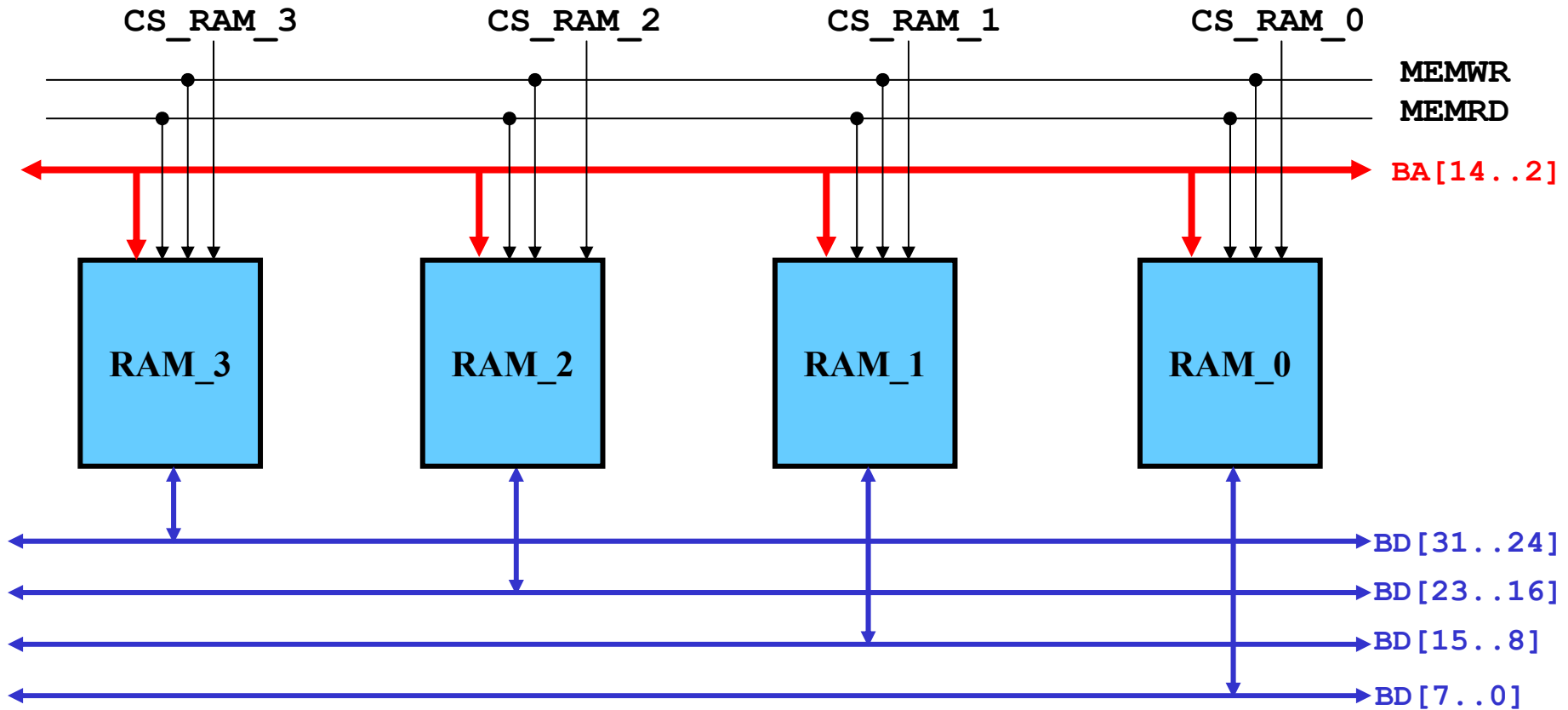
CS\_EPROM\_H\_1 = BA31 · BE1

CS\_EPROM\_H\_2 = BA31 · BE2

CS\_EPROM\_H\_3 = BA31 · BE3

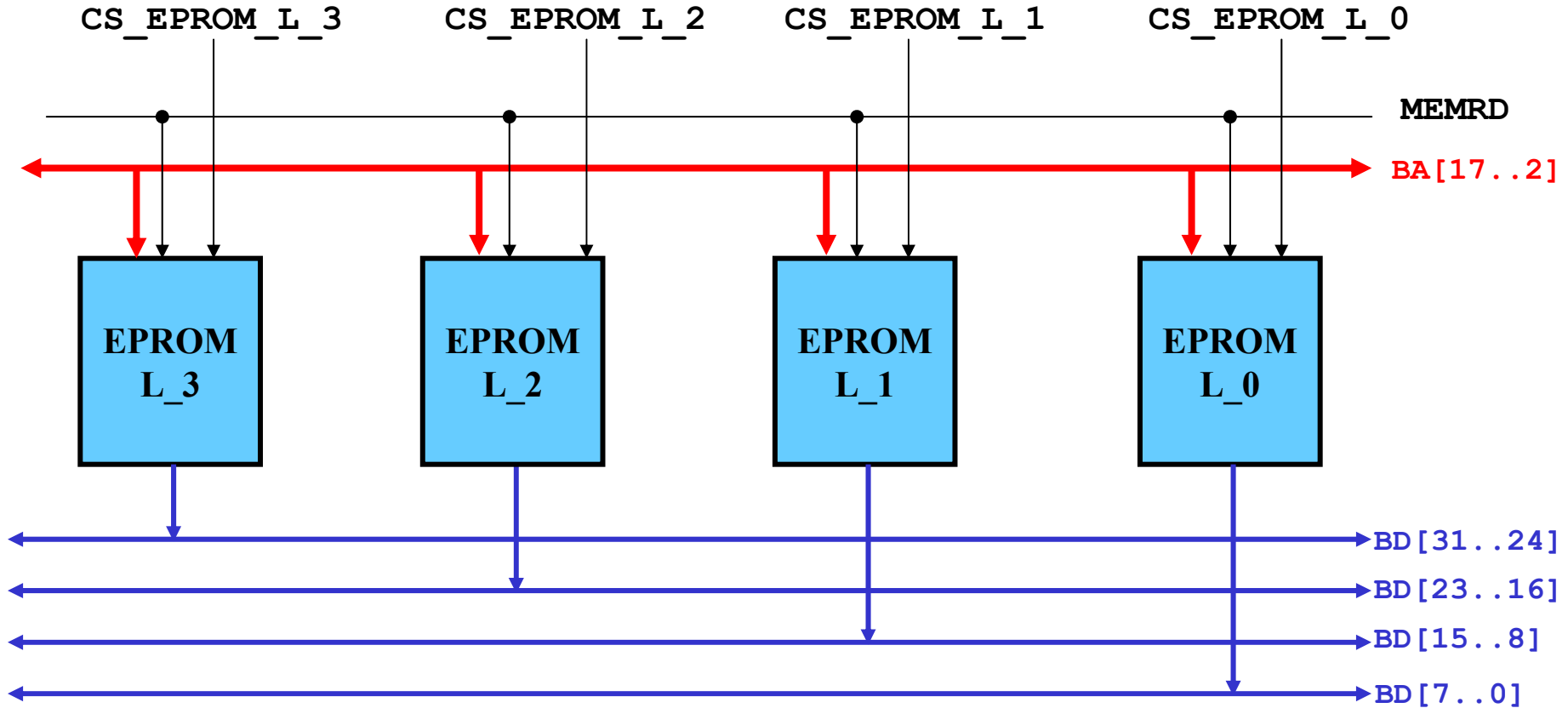
## Interfacciamento RAM

Le **RAM** sono da **8 KB** per cui è necessario connettere ai **13 bit** di indirizzo di ciascuna RAM i segnali **BA[14..2]** emessi dal DLX.



## Interfacciamento EPROM\_L

Le **EPROM** sono da **64 KB** per cui è necessario connettere ai **16 bit** di indirizzo di ciascuna EPROM i segnali **BA[17..2]** emessi dal DLX.



## Interfacciamento EPROM\_H

Le **EPROM** sono da **64 KB** per cui è necessario connettere ai **16 bit** di indirizzo di ciascuna EPROM i segnali **BA[17..2]** emessi dal DLX.

